Thèse de doctorat

UNIVERSITE DE LIMOGES

ECOLE DOCTORALE Sciences et Ingénierie pour l'Information

Xlim C2S2 / THALES (III-V Lab)

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline / Spécialité :

Electronique des Hautes Fréquences, Photonique et Systèmes

Présentée et soutenue par

Clément POTIER

le 01/02/2016

Caractérisation et modélisation des pièges par des mesures de dispersion basse-fréquence dans les technologies HEMT InAlN/GaN pour l'amplification de puissance en gamme millimétrique

Thèse dirigée par Michel Campovecchio et Audrey Martin

JURY :

Président du jury

M. Raymond QUERE, Professeur, Université de Limoges, XLIM

Rapporteurs

M. Juan-Mari COLLANTES, Professeur à l'Université de Bilbao - Espagne

M. Christophe GAQUIERE, Professeur à l'Université de Lille 1, IEMN

Examinateurs

M. Michel CAMPOVECCHIO, Professeur, Université de Limoges, XLIM

M. Didier FLORIOT, Ingénieur responsable de la technologie (Deputy CTO), Société UMS

M. Olivier JARDEL, Ingénieur, Société Thalès Alenia Space

Mme. Audrey MARTIN, Maître de Conférences, Université de Limoges, XLIM

M. Stéphane PIOTROWICZ, Ingénieur, Société Thalès 3-5 Lab

Université de Limoges

Droits d’auteurs

Cette création est mise à disposition selon le Contrat : « **Paternité-Pas d'Utilisation Commerciale-Pas de modification 3.0 France** » disponible en ligne : *http://creativecommons.org/licenses/by-nc-nd/3.0/fr/*

« Tchimbé rèd pa moli, sé moli'a ki rèd »

Proverbe Créole

A ma famille et mes amis,

Remerciements

Ces travaux de doctorat se sont déroulés au sein du laboratoire MITIC, entité commune entre le laboratoire XLIM (UMR CNRS 7252) de l'Université de Limoges et le Groupe d'Intérêt Economique (GIE) III-V Lab, réunissant THALES, NOKIA et le CEA Leti.

Je tiens à remercier Messieurs Dominique Cros et Dominique Baillargeat de m'avoir permis d'effectuer ces travaux au sein du laboratoire XLIM, ainsi que Messieurs Raymond Quéré et Bernard Jarry pour leur accueil au sein de l'école doctorale ainsi qu'au sein du département C2S2 (composants, circuits, signaux et systèmes hautes fréquences).

Je tiens aussi à remercier Messieurs Dominique Pons, Philippe Bois et Sylvain Delage, pour m'avoir accueilli dans leur équipe au III-V Lab mais également pour leur confiance à mon égard en me proposant un poste dans leur service, que j'ai été heureux d'accepter.

J'adresse mes plus vifs remerciements à Monsieur Christophe Gaquiere, Professeur à l'IEMN (Lille), ainsi qu'à Monsieur Juan-Mari Collantes, professeur Professeur à l'Université de Bilbao, qui ont bien voulu juger ce travail en qualité de rapporteurs.

Ma reconnaissance va également à Messieurs Didier Floriot, ingénieur de la société UMS et Raymond Quéré, Professeur au laboratoire Xlim, pour avoir bien voulu prendre part à ce jury de thèse en qualité d'examinateurs ainsi que pour leur précieuse collaboration tout au long ces travaux.

Le fait de bénéficier d'un contrat de thèse CIFRE m'a permis de m'appuyer sur un encadrement riche, composé de Madame Audrey Martin et de Monsieur Michel Campovecchio, tous deux Professeurs au laboratoire Xlim, ainsi que de Monsieur Olivier Jardel et Monsieur Stéphane Piotrowicz, ingénieurs de recherche au III-V Lab. Je les remercie donc chaleureusement pour leur aide continue tout au long de ces trois années. Leurs qualités techniques et humaines m'ont été indispensables pour élever mon niveau tant sur le plan scientifique que pour mes capacités de communication, afin de mener à bien ces travaux.

En ayant passé trois années réparties entre les sites de Limoges, Brive, Marcoussis puis finalement Palaiseau, j'ai eu l'opportunité de rencontrer et de travailler avec de nombreuses personnes qui ont pu m'accorder leur aide et qui m'ont toujours accueilli chaleureusement. Je souhaite donc remercier les différents personnels de ces sites, professeurs, ingénieurs,

techniciens et personnels administratifs (avec une mention spéciale à M-C Lerouge que j'ai beaucoup embêté pendant plus de 2 ans !).

J'aimerais également exprimer ma gratitude envers certaines personnes qui sont devenus plus que des collègues : Sylvain, merci pour ton accueil à Brive, ton aide, ton support et toutes nos conversations qui ont pu rendre plus agréable cette salle de mesure (surtout lors des mesures en températures…) ; Agostino, compagnon doctorant de galère dès les premiers jours, colocataire d'un temps, partenaire sportif, de soirées et surtout véritable cliché italien (!) ; Karthik, pour être un super ami et m'avoir aidé à développer mon anglais (même si les gens se moquent parfois de mes intonations indiennes maintenant !), on aura tout tenté pour que tu améliore ton français mais bon « There is still hope ! » ; Arnaud, Nicolas et Yoann, les trois autres compères doctorants qui m'ont réellement fait aimer Limoges et sa région !

La liste des remerciements serait presque interminable et j'aurais peur d'oublier certains noms donc je vais plutôt remercier particulièrement des groupes : tous les doctorants avec qui j'ai passé de très bons moments (mention spéciale à l'association SigmadocX), Izabele, pour tout ce qu'il existe entre nous, aux étudiants Erasmus de Limoges et leurs « satellites » (Clément, Lena, Christina, Gianni,...), les colocs de Gentilly (Mohamed et Sara), le *Ghetto CROUS* et tous mes amis de toujours (Guyanais, Roumains, Français et autres !) qui m'ont soutenu même quand le moral était au plus bas.

Finalement, je souhaite également remercier toute ma famille car j'ai la chance d'en avoir une dont les membres sont toujours très proches et qui m'ont toujours aimé et soutenu.

Table des matières

Droits d'auteurs ..... **i**

Table des matières ..... **vi**

Introduction générale **2**

CHAPITRE I : **Propriétés et principes de fonctionnement des transistors à haute mobilité d'électrons à base de Nitrure de Gallium** **6**

I Introduction 7
II Le GaN, un matériau à fort potentiel pour les applications de puissance hyperfréquence . 7
II.1. Structure cristallographique 9
II.2. Un matériau à grand gap 10
II.3. Une conductivité thermique élevée 11
II.4. Mobilité et vitesse des porteurs 11
II.5. Figures de mérite 13
III HEMTs à base de GaN 15
III.1. Principe de l'hétérojonction / Gaz 2D 15
III.2. Substrats 16
III.3. Structure d'un HEMT AlGaN/GaN 17
III.3.a. Polarisations spontanée et piézoélectrique 18
III.3.b. Voies d'amélioration de la structure HEMT 20
III.4. Structure d'un HEMT InAlN/GaN 22
IV Effets limitatifs dans les HEMTS à base de GaN 24
IV.1. Effets thermiques 24
IV.1.a. Variation de la hauteur de gap 24
IV.1.b. Impact sur la mobilité 24
IV.1.c. Variations de la conductivité thermique 25
IV.2. Défauts /pièges dans les HEMTs 25
IV.2.a. Origines et mécanismes des pièges 26
IV.2.b. Répartition spatiale 28
IV.2.c. Réduction des effets de pièges de surface 28
V Etat de l'art des HEMTs en GaN en bande Ka 30
VI Conclusion 33

CHAPITRE II : **Détection de pièges dans les HEMTs InAlN/GaN et AlGaN/GaN via la mesure basse fréquence de l'admittance de sortie** **34**

I Introduction 35
II Principales méthodes expérimentales de détection de pièges 36
II.1. Réseaux I-V issus de mesures pulsées 36
II.2. Deep Level Transient Spectroscopy (DLTS) 39
II.3. Deep Level Optical Spectroscopy (DLOS) 45
II.4. Dispersion fréquentielle 47
III Caractérisation basse fréquence de l'admittance de sortie 47
III.1. Objectifs 47
III.2. Modélisation petit signal des effets de pièges 48
III.3. Equations physiques et extraction des signatures des pièges 52
III.4. Simulations physiques 54
IV Résultats de mesure & discussions 56

IV.1. Description du banc de mesure et méthodologie 56
IV.2. Comparaison d'une même famille de HEMTs InAlN/GaN 58
IV.3. Cas de composants présentant 2 pièges 61
IV.4. Influence de la polarisation 63
IV.4.a. Influence du champ électrique 63
IV.4.b. Influence du courant de drain I_{DS} 66
IV.4.c. Effet Poole-Frenkel 69
IV.5. Impact du stress DC sur les phénomènes de piégeage 71
IV.6. Mise en évidence de pièges sensibles à la lumière 74
IV.7. Autres études et expériences sur cette méthode de détection 78
IV.7.a. Différences entre comportement sur la phase et sur la partie imaginaire du paramètre Y_{22} 78
IV.7.b. Répétabilité de la mesure dans le temps 79
V Conclusions 80

***CHAPITRE III :* Modélisation électrothermique non-linéaire d'un HEMT InAlN/GaN optimisée pour des applications en bande Ka 82**

I Introduction 83
II Critères qualitatifs de choix de la topologie du transistor à modéliser 84
III Méthode de modélisation non-linéaire électrique d'un HEMT InAlN/GaN 86
III.1. Modélisation électrique d'un HEMT 87
III.2. Détermination des paramètres intrinsèques et extrinsèques 89
III.2.a. Mesures de paramètres [S] en impulsions 92
III.2.b. Importance du deembedding pour la modélisation à haute fréquence 97
III.3. Modélisation non-linéaire des sources de courant 100
III.4. Modélisation des capacités non-linéaires 104
III.5. Ajout de la dépendance aux effets thermiques 106
III.6. Modélisation des effets de pièges 108
IV Validation du modèle en régime de forte puissance RF 115
IV.1. Validation modèle / mesures à 18GHz 115
IV.2. Evaluation du modèle extrapolé à 30GHz 123
V Conclusion 125

***CHAPITRE IV :* Conception d'un amplificateur de puissance à base de HEMTs InAlN/GaN en technologie MMIC (passifs UMS GH25) pour des applications en bande Ka 126**

I Introduction 127
II Cahier des charges 128
II.1. Etat de l'art des amplificateurs en bande Ka 128
II.2. Objectifs visés 132
II.3. Topologie retenue 132
III Conceptions des différents étages 135
III.1. Combineur de sortie 135
III.2. Architecture globale de l'amplificateur 139
III.3. Problématique de simulation électromagnétique à haute fréquence 141
IV Simulations de l'amplificateur complet 144
IV.1. Simulations en paramètres [S] 144
IV.2. Simulations en régime fort signal 148
IV.3. Analyse de stabilité 152
V Conclusion 155

Conclusion Générale **158**

Bibliographie **162**

Annexes **168**

A.1 Calculs théoriques pour un simple modèle de piège ajouté sur le drain 168
A.2 Calculs théoriques pour un double modèle de piège ajouté sur le drain 169
A.3 Equations régissant le modèle dit GAMM 170
A.4 Description des paramètres de la source de courant du modèle GAMM 171

Table des illustrations **174**

Table des tableaux **180**

Introduction générale

L'évolution croissante du marché des télécommunications civiles, mais aussi les demandes en moyens de communication extrêmement fiables et performantes émanant du domaine militaire, poussent les composants électroniques entrant dans la conception des chaînes radiofréquences à atteindre leurs limites. Ces composants doivent pouvoir opérer avec des signaux hautes fréquences de plusieurs gigahertz, émettre de fortes puissances, permettre de bons rendements énergétiques tout en fonctionnant dans des environnements sévères (température, humidité, …) et rester à un coût maîtrisé. L'ensemble de ces contraintes posent les limites des technologies traditionnelles sur substrat Silicium, c'est pourquoi de nouvelles filières technologiques sont investiguées.

Les composants dits III-V, en référence aux alliages composés des colonnes III et V du tableau périodique des éléments, se révèlent être de bons candidats pour réaliser ces objectifs et tout particulièrement le Nitrure de Gallium (GaN). En effet, comme nous le détaillerons dans ce manuscrit, ce matériau possède des propriétés intéressantes : un grand gap de 3.42eV permettant d'appliquer des tensions de plusieurs dizaines de Volts, une mobilité électronique ainsi qu'une conductivité thermique au moins comparable au Silicium, favorisant un fonctionnement à haute fréquence et sous de fortes puissances.

C'est dans cette voie que s'inscrivent les travaux du groupement d'intérêt économique (GIE) III-V Lab associé au laboratoire universitaire Xlim. En effet, le groupe THALES, partenaire de ce GIE et leader dans les solutions de télécommunications radio fréquences (RF) pour les applications militaires et civiles, souhaite garder son avance et investit de manière importante en recherche et développement. Les travaux de cette thèse reposent plus particulièrement sur l'étude des défauts électroniques présents dans les technologies de transistors à base de Nitrure de Gallium, en développement au III-V Lab, ainsi que sur la caractérisation d'une nouvelle filière de transistors en vue de la conception d'amplificateurs devant fonctionner à des fréquences avoisinant 30GHz.

Pour atteindre des fréquences de fonctionnement élevées tout en maintenant de fort niveaux de puissance, des transistors dits à haute mobilité d'électrons (ou HEMT pour High Electron Mobility Transistors) sont réalisés. L'amélioration de la mobilité est rendue possible par la conception d'hétérostructures spécifiques à base de matériaux III-V. Si la structure la

plus communément utilisée aujourd'hui repose sur l'hétérojonction AlGaN/GaN, le III-V Lab investigue des approches alternatives basées sur l'hétérostructure InAlN/GaN.

Le premier chapitre de ce manuscrit rappellera ainsi les propriétés physiques du matériau GaN et le comparera à d'autres matériaux III-V, afin de souligner ses avantages mais aussi ses défauts, comme les pièges électroniques présents dans le cristal du matériau. Nous détaillerons également le principe de fonctionnement des HEMTs et présenterons les spécificités de l'hétérostructure en InAlN/GaN qui présente une polarisation spontanée intrinsèque élevée et qui permet également, grâce à un meilleur accord de maille cristalline entre l'InAlN et le GaN comparé à l'hétérojonction AlGaN/GaN, de réduire les contraintes sur les matériaux, diminuant de ce fait la formation de défauts cristallins.

Afin d'améliorer cette nouvelle technologie de HEMT à base de GaN, il est nécessaire d'identifier les défauts cristallins introduits lors de leur réalisation pour pouvoir par la suite les diminuer ou les compenser. Dans cette optique, nous présenterons au deuxième chapitre de ce mémoire une méthode d'extraction des caractéristiques des pièges présents dans les HEMTs, mise en place dans le cadre de ces travaux de thèse. Nous nous attacherons à présenter le principe de cette méthode, qui est basée sur la mesure de paramètres [S] en basse fréquence et l'étude de l'admittance de sortie, ainsi que les composantes du banc de mesure associé. Nous présenterons par la suite les différents résultats obtenus sur des technologies HEMT en développement au III-V Lab.

La montée en fréquence étant un des axes de recherche principaux au III-V Lab, une nouvelle filière de composants HEMTs à base d'hétérostructure en InAlN/GaN disposant de doigts de grille d'une longueur de 150nm est en développement. Afin d'évaluer les performances atteignable par cette technologie au niveau circuit intégré, la conception d'un amplificateur en technologie MMIC, à base de transistor de cette filière, devant fonctionner autour de 30GHz a été investiguée. La conception de cet amplificateur nécessitant l'utilisation d'outils de conception assistée par ordinateur (CAO) comme Advanced Design System, l'élaboration au préalable d'un modèle électrique du transistor retenu est obligatoire. Dans cette perspective, nous détaillerons au troisième chapitre les étapes ayant conduit à l'élaboration d'un modèle électrothermique non-linéaire incluant les effets de pièges d'un transistor HEMT InAlN/GaN, possédant six doigts de grille de 50µm de large et de 150nm de long.

La conception d'un amplificateur en technologie MMIC, fonctionnant sur la base du modèle de HEMT InAlN/GaN présenté au troisième chapitre, sera décrite au quatrième et dernier chapitre de ce manuscrit. Le transistor sur lequel repose cette conception faisant partie d'une des premières itérations de cette nouvelle filière, cette étude se veut d'avantage être une étude de potentialité qu'une véritable conception vouée à réaliser un produit industriel. Les résultats de conception obtenus en simulation démontrent les potentialités de la technologie HEMT InAlN/GaN développée au III-V Lab pour l'amplification de puissance en bande Ka. Ces résultats de simulation de l'amplificateur MMIC se classent très favorablement dans l'état de l'art présenté au chapitre IV à de telles fréquences.

CHAPITRE I :

Propriétés et principes de fonctionnement des transistors à haute mobilité d'électrons à base de Nitrure de Gallium

I Introduction

Comme mentionné dans l'introduction générale, les alliages d'éléments des colonnes III et V de la classification périodique des éléments possèdent des propriétés physiques qui les rendent attractifs pour des applications de puissance hyperfréquence.

En effet, les caractéristiques de ces composés III-V et notamment le Nitrure de Gallium (GaN) dépassent largement les structures à base de Silicium. C'est le cas en particulier pour les grandeurs que sont la tension de claquage, la vitesse de saturation des porteurs ou bien encore la tenue en température.

Ce chapitre propose une revue non exhaustive des propriétés du Nitrure de Gallium et nous comparons ses propriétés avec celles d'autres alliages semi-conducteurs III-V.
Nous développons également le principe de fonctionnement du transistor HEMT et rappelons certaines étapes technologiques pouvant améliorer ses performances.
Le paragraphe IV abordera les effets limitatifs actuellement constatés dans ce type de composant comme les effets thermiques et les effets de pièges.
La dernière partie est consacrée à l'état de l'art des composants HEMTs GaN en bande Ka.

II Le GaN, un matériau à fort potentiel pour les applications de puissance hyperfréquence

Afin de mettre en lumière les capacités des composants HEMTs GaN, il est essentiel de confronter leurs performances à celles des technologies concurrentes. Dans cet optique, une importante étude bibliographique a été réalisé par l'équipe de J. A. del Alamo, du MIT, qui a permis de dresser un graphique représentant les puissances de sorties en fonction de la fréquence de neuf technologies différentes rapportées dans de nombreuses publications [1]. Ce graphique est donné en *Figure I.1*.

Cette *Figure I.1* met en évidence que pour la plage de fréquence de 2GHz à 25GHz, seuls des transistors GaN ou GaAs (Arséniure de Gallium) permettent d'atteindre des puissances de sortie supérieures à 30dBm (1W).

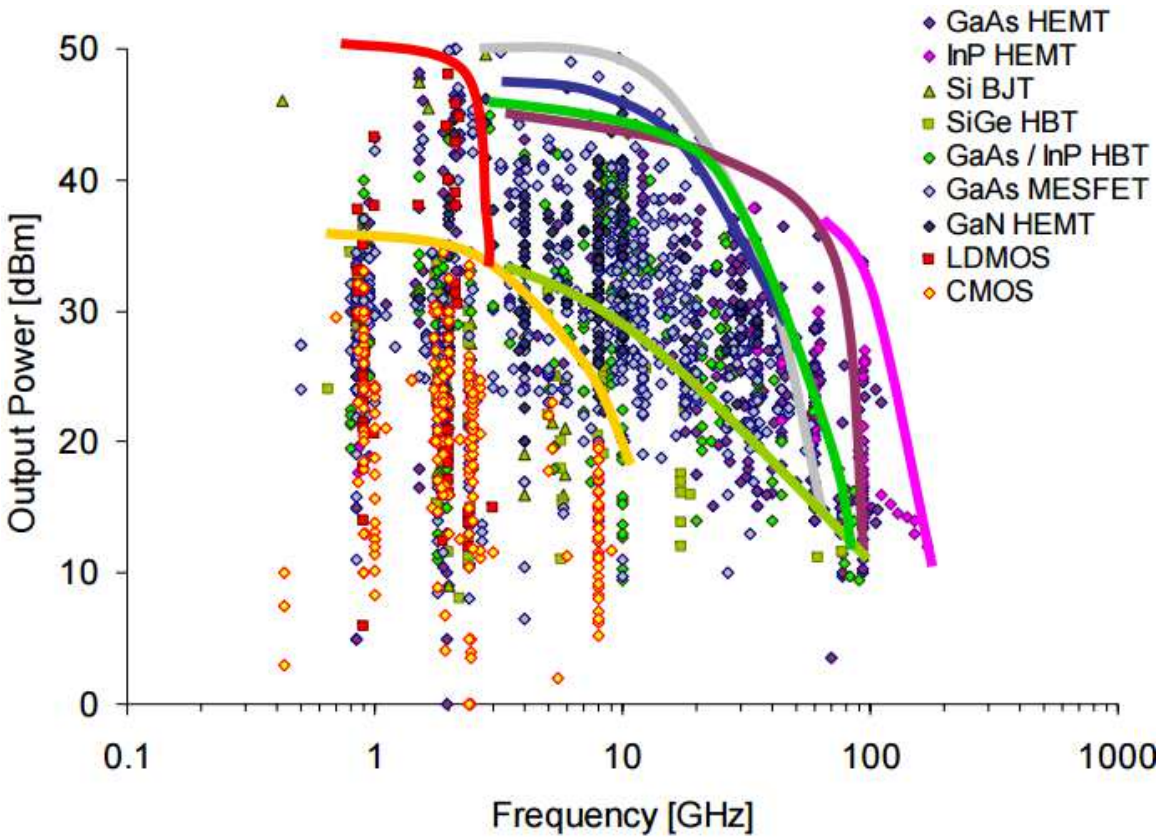


Figure I.1 : Comparaison non exhaustive des potentialités de différents alliages et technologies en fonction de la fréquence et de la puissance souhaitée. [1]

Au-delà de 25GHz et pour ces niveaux de puissances, on ne retrouve dans la littérature quasiment que des transistors en architecture HEMT à base de GaAs. Les HEMTs GaN, de par leurs remarquables caractéristiques théoriques sont cependant voués à remplacer les HEMTs GaAs pour des applications exigeantes et c'est dans ce contexte que s'inscrivent les recherches du laboratoire commun entre Xlim et III-V Lab menés dans ces travaux de cette thèse.

Ces nouveaux développements sont notamment intéressants pour les applications de télécommunications spatiales autour de la bande Ka (26.5GHz – 40GHz) (cf. *Figure I.2*).

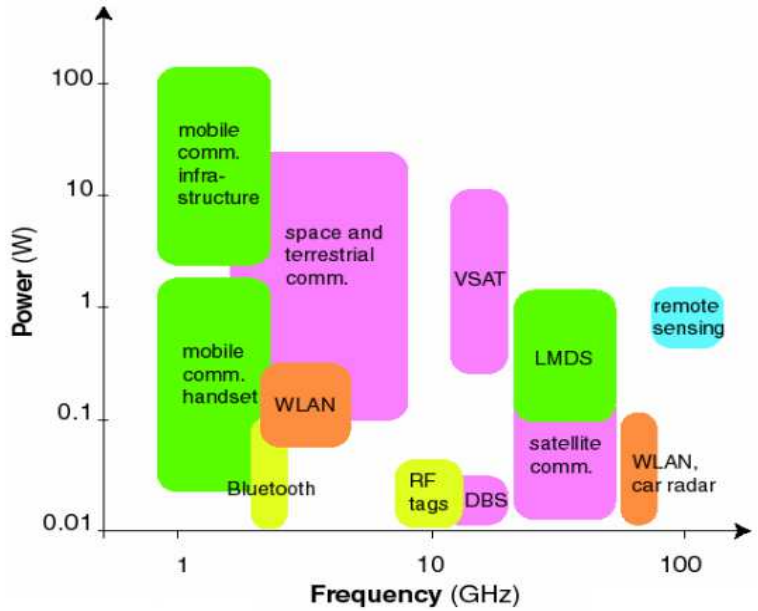


Figure I.2 : Répartitions des applications télécoms en fonction des puissances et fréquences. [1]

II.1. Structure cristallographique

Comme tout matériau semi-conducteur, la structure atomique du Nitrure de Gallium repose sur une structure cristalline. Ce cristal peut prendre plusieurs formes mais sous des conditions thermodynamiques stables, la structure prend une forme dite de Wurtzite. Comme montré à la *Figure I.3*, la structure Wurtzite repose sur une organisation de deux réseaux hexagonaux d'atomes, définie par trois paramètres de maille: a_0, c_0 et u_0. La longueur du côté de la base hexagonale est définie par le paramètre a_0, tandis que le paramètre c_0 correspond à la hauteur de la cellule de base (axe perpendiculaire à a_0). Le paramètre u_0 définit la distance interatomique. Les deux réseaux se retrouvent alors enchevêtrés et décalés de 5/8ème suivant l'axe *c*.

Cette absence de symétrie suivant l'axe c entraîne deux orientations possibles selon les conditions de croissance : l'orientation de la polarité à la surface du matériau peut suivre soit la direction [0001] (on parlera alors de matériau face Ga) soit la direction $[000\bar{1}]$ (matériau face N) (*Figure I.3*).

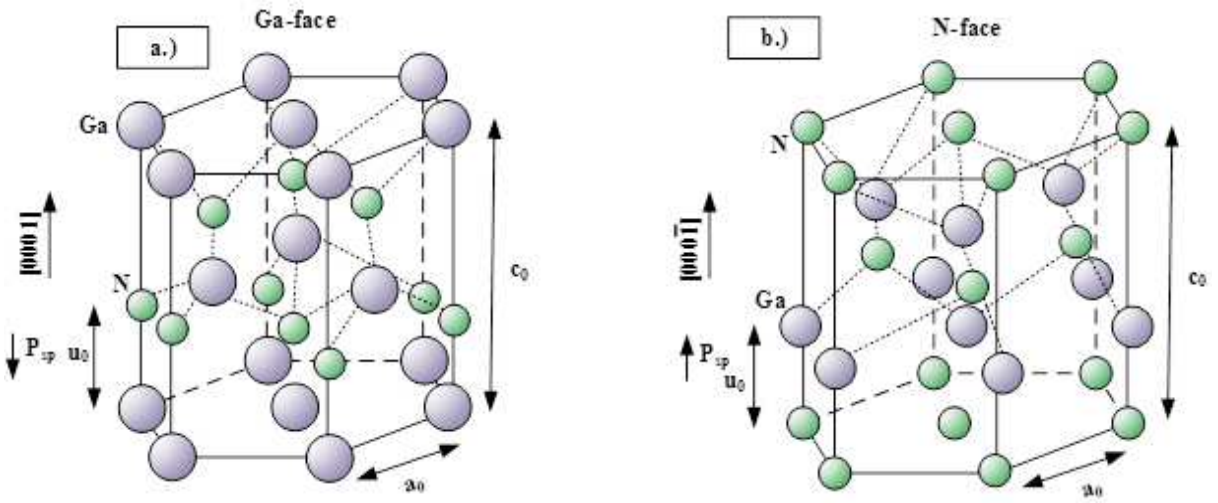


Figure I.3 : Orientation cristallographique d'une structure de Wurtzite idéale pour un alliage de GaN[2].

La grande différence d'électronégativité entre l'atome d'azote N (3,0) et l'atome de Gallium (1,8) créée une liaison Ga-N fortement ionique. La densité d'électrons devient plus élevée au voisinage de l'atome N ce qui provoque un déséquilibre des barycentres des charges positives et négatives. Ce déséquilibre entraîne une polarisation spontanée orientée selon le vecteur $\vec{P}_{sp}$ qui part de N vers Ga (*Figure I.3*). Cette polarisation spontanée sera à l'origine d'une partie des électrons constituant le gaz d'électrons créé dans les structures de transistors HEMTs que nous détaillerons au paragraphe III.3 de ce chapitre.

II.2. Un matériau à grand gap

Si le GaN est un très bon candidat pour les applications de puissance, il le doit avant tout à sa barrière énergétique de 3.42eV. On parle alors de matériau à « grand gap », c'est-à-dire que la hauteur de la bande interdite est supérieure à 3eV, ce qui est bien supérieur au Silicium par exemple (1.1eV). Or, plus cette barrière est grande plus le matériau pourra supporter de forts champs électriques avant de claquer. En effet, la valeur du champ de claquage E_c est directement liée à la hauteur du gap E_g :

$$E_c \propto E_g^{3/2} \qquad (1.1)$$

Il est tout de même à souligner que la hauteur de la bande interdite est inversement proportionnelle à la température. On aura de ce fait une tension maximum de claquage plus faible avec des températures élevées. Nous détaillons ce point au paragraphe IV.1.

II.3. Une conductivité thermique élevée

La dissipation thermique pour les applications de puissance est cruciale comme nous l'avons rappelé précédemment. Pour éviter que la chaleur créée pendant le fonctionnement du composant ne dégrade trop ses performances, il faut que les matériaux qui le composent soient de bons conducteurs thermiques afin d'évacuer au mieux cette puissance dissipée.

Pour rappel, en fonctionnent dynamique, la puissance dissipée peut être exprimée à partir de la puissance continue fournie par les alimentations et du rendement en puissance ajoutée (PAE – Power Added Efficiency) du transistor selon la formule:

$$P_{DISS} = P_{DC}\,(1 - PAE) \tag{1.2}$$

Avec

$$PAE = \frac{P_{OUT} - P_{IN}}{P_{DC}} \tag{1.3}$$

Le GaN se distingue ici encore par une conductivité thermique trois fois plus élevée que l'Arséniure de Gallium (AsGa). Si sa conductivité reste comparable à celle du Silicium, l'utilisation d'un substrat en carbure de Silicium (SiC) permet d'améliorer significativement la dissipation de chaleur puisque le SiC est trois fois meilleur conducteur thermique que le GaN. Les valeurs respectives des grandeurs caractéristiques de ces semi-conducteurs sont comparées dans le *Tableau I.1* en fin de section.

Divers phénomènes permettent à la chaleur de se dissiper : le transfert thermique peut se faire soit par convection (matière libre : fluide, gaz), par conduction (matière solide) ou par radiation électromagnétique. Etant donné les faibles surfaces des composants et le fait qu'ils se trouvent souvent encapsulés dans un boîtier, le phénomène de conduction thermique est prédominant. Il est régi par la loi de Fourier qui énonce que dans le cas d'un milieu homogène et isotrope, le flux de chaleur conductif par unité de surface (q) est dépendant de la conductivité thermique (K) et du gradient de température local (équation 1.4).

$$q = -K(T) \cdot \nabla T \tag{1.4}$$

II.4. Mobilité et vitesse des porteurs

Toutes les propriétés du GaN ne sont pas supérieures à celles des autres composés III-V. La mobilité des électrons dans l'AsGa est par exemple huit fois supérieure à celle du GaN. Une meilleure mobilité permettra d'obtenir une résistance du gaz d'électron plus faible, ce qui aura un impact sur les valeurs des résistances dans les zones d'accès de grille et de drain d'un transistor HEMT. Or, des résistances d'accès faibles favorisent le fonctionnement du transistor à très hautes fréquences.

Soumis à un champ électrique, les porteurs libres sont entraînés à une vitesse proportionnelle à celui-ci. Or, lorsque le champ électrique devient important, l'interaction des porteurs avec les vibrations de la structure provoque une diminution de la mobilité des porteurs: la vitesse sature et se rapproche de la vitesse d'agitation thermique.

$$\vec{v} = \pm\mu(E) \cdot \vec{E} \qquad (1.5)$$

Avec μ la mobilité en cm²/(V.s) et E le champ électrique en V/cm.

Le courant est fonction de la densité volumique de charges des porteurs mobiles ainsi que de leur vitesse. Si cette dernière est élevée, de forts courants pourront être atteints, ce qui est essentiels pour des applications de puissance.

Les matériaux III-V ont la particularité de présenter un pic de survitesse, tandis que pour les autres éléments, la vitesse de dérive des porteurs ne cesse d'augmenter jusqu'à saturation. Pour le nitrure de gallium, le pic de survitesse apparaît pour un champ électrique d'environ 200 kV/cm alors qu'il est d'environ 5 kV/cm pour l'arséniure de gallium, comme illustré *Figure I.4* ci-dessous.

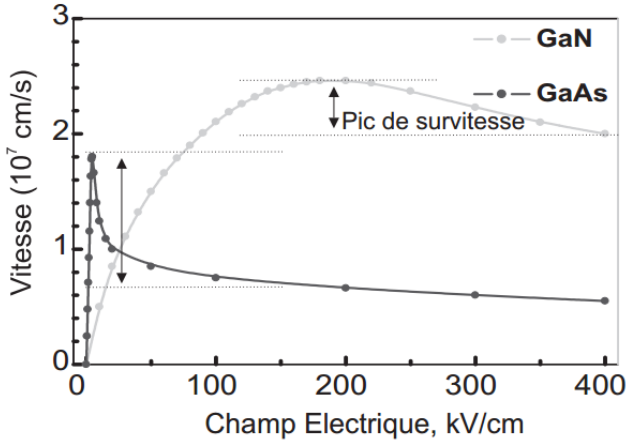


Figure I.4 : Vitesse de dérive des porteurs en fonction du champ électrique dans le GaN et dans l'AsGa. [3]

Sous un champ électrique peu élevé, jusqu'à 30kV/cm, l'AsGa affiche donc une plus grande vitesse de porteurs que le GaN. Ces composants peuvent donc atteindre des fréquences de fonctionnement élevées. Cependant, les composants à base de GaN peuvent être polarisés à des tensions plus importantes. De nombreu/x travaux sont actuellement en cours dans les laboratoires pour améliorer les performances fréquentielles des composants en technologies GaN, maximisant ainsi la densité de puissance aux hautes fréquences (au-delà de 20GHz).

Il est toutefois à noter que ce pic de survitesse n'est visible qu'en simulation et seulement à l'intérieur du matériau massif. Dans le cas d'une structure HEMT, comme décrite au paragraphe suivant, le champ électrique n'est pas uniforme et prend donc presque toutes les valeurs possibles. De plus, sous des tensions de polarisation de drain de l'ordre de 20V, le champ est déjà bien supérieur à 200kV/cm. Le paramètre le plus important à retenir est donc la valeur de la vitesse de saturation.

Au paragraphe IV.1, nous aborderons les effets de la température. La mobilité est, parmi d'autres paramètres, affectée par la température. Nous verrons que plus la température augmente, plus la mobilité diminue, entrainant de ce fait une diminution de la vitesse des porteurs.

II.5. Figures de mérite

Le *Tableau I.1* ci-dessous rappelle les principales caractéristiques du GaN et les compare avec les autres alliages les plus significatifs pour des fonctionnements en haute fréquence.

Tableau I.1 : Principales propriétés électriques comparées pour plusieurs matériaux semi-conducteurs

	Si	**AsGa**	**GaN**	**SiC-4H**	**AlN**	**InN**	**Diamant**
Eg (eV) (Gap)	1,1	1,43	**3,39**	3,26	6,1	0,78	5,5
ε_r (Cste diélectrique)	11,8	11,5	**9,5**	10	9,14	15,3	5,7
Ec (MV/cm) (champ de claquage)	0,3	0,4	**3,3**	2	11,7	X	5,6
n_i (cm^{-3}) (densité de porteurs de charges)	$1,5x10^{10}$	$2x10^{6}$	**$2x10^{-10}$**	$1x10^{-8}$	$2x10^{-31}$	100	$1,6x10^{-27}$
μ_n ($cm^2/V.s$) (mobilité électrique)	1350	8000	**900**	720	1100	2700	1900
v_{sat} (10^7 cm/s) (Vitesse de saturation)	1	2	**2,5**	2	1,8	4,2	2,7
K_{300K} (W/cm.K) (Cond. Thermique)	1,15	0,5	**1,4-2,3**	4,5	2	0,45	20
T_{max} (°C)	300	300	**700**	600	X	X	X

Ces paramètres permettent d'établir des facteurs de mérite qui seront représentatifs de certaines applications (*Tableau I.2*). Par exemple, pour des applications hautes fréquences et de fortes puissances, la figure de mérite de Johnson [4] (notée $FoM_{Johnson}$) est souvent utilisée. Elle repose sur la valeur de champ de claquage et la vitesse de saturation des porteurs. On citera aussi la figure de mérite de Baliga [5] (BFOM) qui fait intervenir la conductivité thermique, la mobilité des électrons et le gap.

$$FoM_{Johnson} = \frac{E_c \cdot v_{sat}}{2\pi} \quad (1.6)$$

$$BFOM = K_{300K} \cdot \mu_n \cdot E_g^3 \quad (1.7)$$

Tableau I.2 : Figures de mérite pour des alliages semi-conducteurs utilisés pour des applications haute-fréquence, normalisées par rapport au Silicium

	Si	**AsGa**	**GaN**	**SiC-4H**	**AlN**	**InN**	**Diamant**
$FoM_{Johnson}$ (Rapportées au Si)	1	2,6	**27,5**	13,3	70,2	X	50,4
BFOM (Rapportées au Si)	1	5,6	**28,8**	54,3	241	0,3	3060

Vis-à-vis de ces deux derniers tableaux, il est nettement compréhensible que le GaN soit privilégié pour des applications de puissance à haute fréquence en comparaison du Si ou de l'AsGa. L'AlN et le diamant se distinguent également par des performances encore meilleures. Comme nous allons le décrire dans ce qui suit, les structures de type HEMTs reposent sur une hétérojonction entre un buffer et une barrière. Or, il est très difficile de créer des hétérostructures à base d'AlN puisque le désaccord de maille est fort avec les autres composés III-V. On utilise par contre l'AlN pour réaliser des couches barrières très minces dans les structures HEMTs GaN ce qui permet d'améliorer la mobilité des électrons dans le canal en modifiant les discontinuités des bandes électroniques. Quant à l'utilisation du diamant dans la composition des transistors, quelques études ont été menées mais ont dû faire face à plusieurs difficultés, notamment dues au fait qu'il n'existe, encore aujourd'hui, pas de barrière qui soit suffisamment accordée en maille avec le diamant pour l'utiliser en buffer. Des transistors à base de diamant ont tout de même été présentés mais sous des structures dites MESFET, avec des couches de diamant dopées [6],[7]. Par contre il a été démontré que l'utilisation du diamant en tant que substrat pouvait améliorer les performances des HEMTs en réduisant sensiblement la résistance thermique [8].

III HEMTs à base de GaN

Dans les années 1980, des scientifiques des laboratoires Bell Labs ont découvert la possibilité de former un gaz d'électrons à deux dimensions (2DEG) à l'interface de deux semi-conducteurs [9]. Pour favoriser la création de ce gaz, des structures bien particulières ont été imaginées comme les structures dites HEMTs pour Transistors à Haute Mobilité d'Electrons.

III.1. Principe de l'hétérojonction / Gaz 2D

Les HEMTs ont un comportement proche de celui des MESFET : le courant est contrôlé par un champ électrique appliqué sur la grille au travers d'un contact Schottky.
Les HEMTs possèdent cependant une hétérojonction créée par la juxtaposition de deux jonctions semi-conductrices présentant des gaps différents. A l'interface de l'hétérojonction vient se créer un canal très fin et de faible résistance, situé à l'intérieur du matériau non dopé. Dans le canal, le gaz bidimensionnel d'électrons possède une grande mobilité. En effet, les électrons se retrouvent positionnés sur des niveaux discrets d'énergie dans un puits de potentiel augmentant ainsi leur mobilité par rapport au matériau GaN volumique (*Figure I.5*).

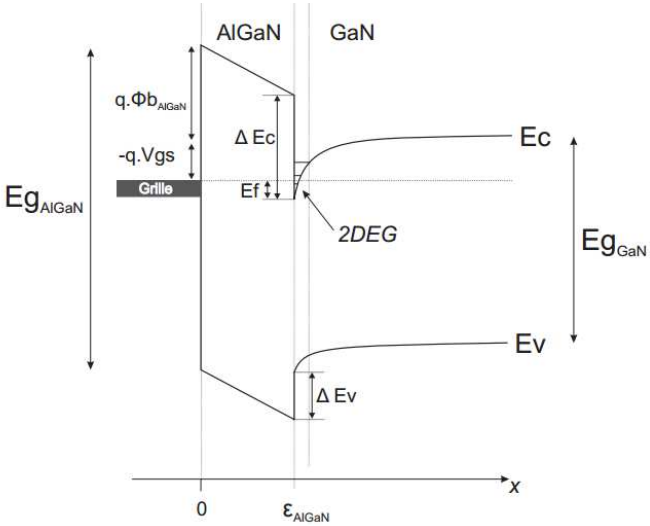


Figure I.5 : Diagramme d'énergie pour une hétérostructure AlGaN/GaN.

L'application d'une tension positive sur le drain entraîne alors la circulation du gaz d'électron grâce à une différence de potentiel appliquée entre le drain et la source. Le courant est contrôlé par la tension V_{GS} appliquée sur la grille : en appliquant sur l'électrode de grille des valeurs de tensions de plus en plus négatives, un phénomène de déplétion se crée dans le canal sous la grille entrainant la diminution progressive du gaz d'électron.

Quand la tension V_{GS} appliquée est suffisamment basse et égale à la tension de pincement, la bande de conduction est au-dessus du niveau de Fermi : il n'y a alors plus de porteurs de charges dans le puits de potentiel, le courant en sortie est nul et le transistor bloqué.

Quand la tension V_{GS} appliquée augmente, le bas de la bande de conduction passe en dessous du niveau de Fermi, au niveau de la région non intentionnellement dopée. La taille du puits de potentiel augmente ainsi que le nombre de porteurs de charges dans le puits situé sous l'hétéro-interface AlGaN/GaN.

On peut noter que lorsque V_{GS} est égale à 0V, le transistor est passant. On dit qu'il est normalement à l'état *ON* ou « *normally on* ».

III.2. Substrats

Toute structure active de transistor repose sur un substrat, l'idéal étant d'avoir un substrat dont les paramètres de maille s'adaptent au mieux avec les couches actives de l'hétérostructure. Or, il est très difficile d'obtenir des substrats en GaN et de plus, ce composé n'a pas une bonne propriété semi-isolante, indispensable aux fonctions hyperfréquences intégrées.

Dans le cas de la croissance du GaN, on préfèrera donc des substrats en Saphir (Al_2O_3), en Silicium (Si) ou en Carbure de Silicium (SiC) qui présenteront manifestement un plus important désaccord de maille (cf. *Tableau I.3*), entraînant la formation de dislocations dans le cristal.

L'utilisation d'un substrat en SiC est particulièrement intéressante vis-à-vis du budget thermique puisque bénéficiant d'une conductivité thermique très importante, la chaleur sera plus facilement évacuée. Il est par contre plus onéreux et difficile à produire en taille moyenne à cause de sa dureté, or les tailles de plaquettes communément utilisées par l'industrie des semi-conducteurs sont de quatre à six pouces (Triquint, RFMD, Cree,…).

Le Saphir ou le Silicium sont bien moins chers et plus faciles à trouver sur le marché mais présentent un plus fort désaccord de maille avec le GaN ainsi qu'une plus faible conductivité thermique. Peu d'industriels ont fait le choix d'utiliser le Silicium comme substrat pour des applications hyperfréquences malgré des tailles de substrat aisément accessibles au-delà de 8 pouces. Par contre, ce dernier est particulièrement plébiscité pour la réalisation de transistors GaN destinés à des applications de commutation de puissance, tels que les convertisseurs DC-DC par exemple, ces derniers ne nécessitant pas de substrats semi-isolants. La réalisation de transistors GaN sur substrat Saphir est quant à elle essentiellement réservée à des travaux de recherches exploratoires.

Le *Tableau I.3* ci-dessous rappelle les principales caractéristiques de ces substrats.

Tableau I.3 : Principales caractéristiques de quatre substrats

Matériau	**Constante de maille α (Å)**	**Désaccord de maille avec le GaN (%)**	**Conductivité thermique K_{300K} (W/cm.K)**	**Isolation Electrique (Ω.cm)**
GaN	3,189	0	1,4-2,3	$> 10^9$
6H-SiC	3,08	3 ,4	4,6	$> 10^{11}$
Al_2O_3	2,747	14	0,5	$> 10^{12}$
Si(111)	3,84	18	1,15	$> 10^5$

Pour la réalisation de transistors destinés à la conception de circuits de puissance hyperfréquence en guide microruban, le substrat est en général aminci à 100µm, voire 70µm. En effet, les diamètres des plaquettes devenant toujours plus grands, les substrats sont devenus plus épais afin de rendre le matériau moins fragile et cassable. Or cette épaisseur est contraignante pour deux principales raisons :

- L'impédance caractéristique d'une ligne microruban est fonction du rapport de sa largeur sur l'épaisseur du substrat diélectrique : plus le substrat sera épais, plus la ligne devra être large pour conserver la même impédance caractéristique. Pour une ligne d'impédance 50 Ohms à 30GHz et un substrat SiC, la largeur devra être égale à 90% de la longueur.
- Les inductances des vias traversant sont plus élevées lorsque le substrat est épais. Pour préserver le gain, il vaut donc mieux réduire cette épaisseur.

D'autre part, diminuer l'épaisseur de substrat ne dégradera pas la conductivité thermique car le composant se retrouvera également plus proche de la plaque qui est en l'occurrence la référence froide.

III.3. Structure d'un HEMT AlGaN/GaN

Les structures de HEMTs utilisant un canal en GaN et une barrière en AlGaN pour créer l'hétérojonction sont les plus répandues. Elles se présentent dans la version la plus simple selon un empilement de 3 couches comprenant le substrat, une couche appelée buffer comprenant le canal et une couche barrière comme l'indique la *Figure I.6*.

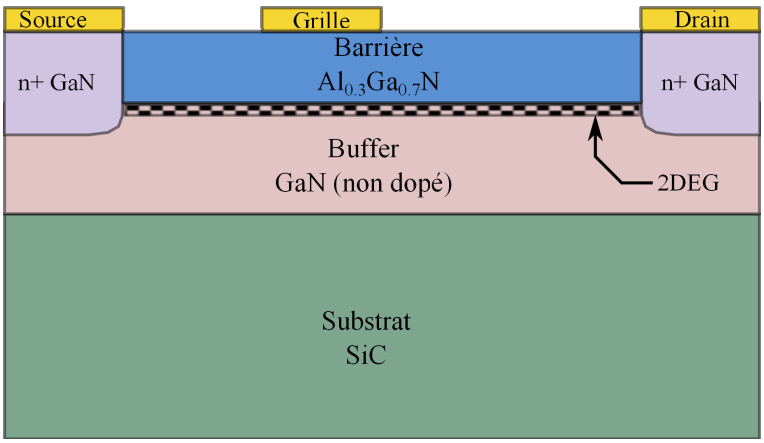


Figure I.6 : Structure d'un HEMT AlGaN/GaN.

Les contacts ohmiques de drain et de source sont généralement constitués d'alliages plus ou moins complexes (Nickel/Platine/Or par exemple) où l'épaisseur des matériaux est aussi un paramètre d'optimisation pour obtenir une résistance de contact la plus faible possible.
Les contacts de drain et de source sont dopés pour diminuer également les résistances d'accès.

Les épaisseurs des couches sont le plus souvent comprises entre 15nm et 30nm pour la barrière AlGaN, 1µm à 3µm pour la couche buffer et environ 300µm pour le substrat de SiC (pour une plaquette de 3 pouces). Ces épaisseurs sont dépendantes des applications visées et des études sur leurs variations sont régulièrement menées pour déterminer les meilleurs compromis.

III.3.a. Polarisations spontanée et piézoélectrique

Une polarisation spontanée (Psp) ainsi qu'une polarisation piézoélectrique (Ppz) sont naturellement présentes dans les matériaux III-V. L'effet piézoélectrique est provoqué par la déformation mécanique du cristal, engendrée notamment par les contraintes exercées entre les atomes sur la maille cristalline. Cette polarisation piézoélectrique engendre un champ électrique au sein du matériau entrainant l'apparition de charges surfaciques aux interfaces qui s'ajoutent à la polarisation spontanée présente à l'état relaxé, comme évoqué au paragraphe II.1.
Le désaccord de maille entre la couche de GaN et celle d'AlGaN fait ainsi apparaître des contraintes cristallographiques entraînant cet effet piézoélectrique comme schématisé à la *Figure I.7*.

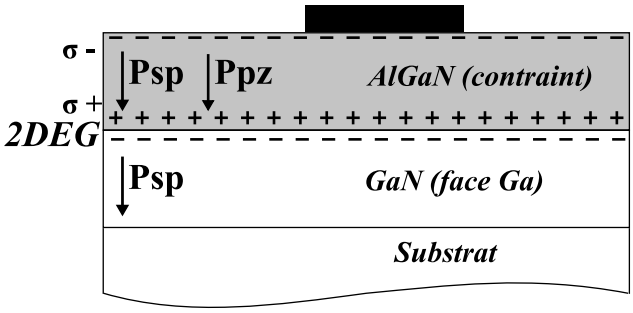


Figure I.7 : Orientation favorable des effets de polarisation dans un HEMT AlGaN.

La charge de la polarisation piézoélectrique P_{pz} est régie par la quantité d'Aluminium (Al) introduite. Une augmentation du taux d'Aluminium provoque une hausse de la densité de porteurs mais également une hausse des contraintes cristallographiques. Ainsi, le pourcentage maximum d'Al introduit se situe généralement entre 30% et 35%. Au-delà, le paramètre de maille du GaN décroît sensiblement et entraîne une contrainte en compression, dégradant les performances électriques. De même, si la proportion d'Aluminium dépasse 50%, la qualité cristalline se retrouve alors fortement dégradée et une relaxation partielle de la couche l'AlGaN s'en suit. On retrouve communément des pourcentages d'Al compris entre 15% et 30% dans les HEMTs AlGaN/GaN.

Pour diminuer les contraintes cristallographiques apportées par l'ajout d'Aluminium, on peut diminuer l'épaisseur de la couche barrière. En effet, en dessous d'une épaisseur critique, la couche épitaxiée s'adapte en maille mais une fois ce seuil dépassé, on observe une relaxation du cristal introduisant des dislocations. Or, la densité de porteurs dans le gaz 2D est fonction de l'épaisseur de la barrière (*Figure I.8*) et pour une épaisseur inférieure à 5nm celle-ci est négligeable puis augmente fortement jusqu'à 10nm avant de saturer après 25nm. De plus la tension de pincement diminue avec l'augmentation de l'épaisseur de la barrière. On retrouve donc communément des épaisseurs de barrière en AlGaN de 15nm à 30nm.

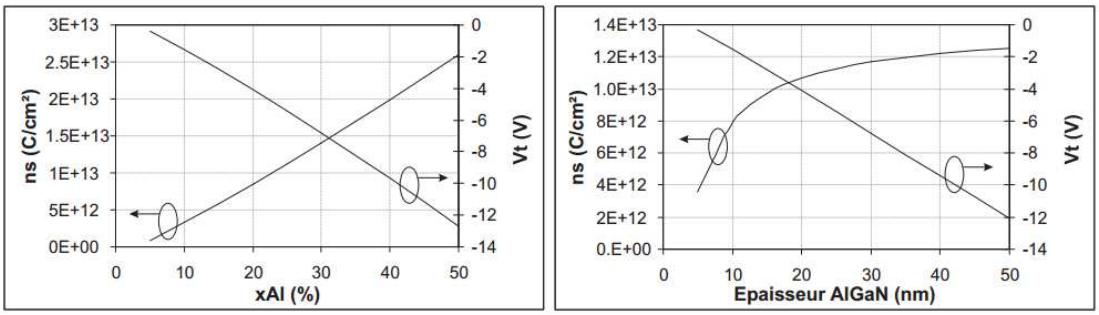


Figure I.8 : Variation de la densité de porteurs dans le canal en fonction du taux d'aluminium xAl à gauche, et de l'épaisseur de la couche d'AlGaN (d_{AlGaN}) à droite, calculée pour un HEMT simple avec d_{AlGaN} = 25nm à gauche, xAl = 25% à droite, et V_{GS} = 0 V dans les deux cas [10].

III.3.b. Voies d'amélioration de la structure HEMT

Pour contrer certains défauts rencontrés avec cet empilement de 3 couches (état de surface, défauts cristallins, confinement des porteurs,…) et améliorer les performances du transistor, plusieurs pistes ont été investiguées, comme l'ajout d'une couche de passivation ou d'une deuxième barrière. Les paragraphes suivants détaillent certaines pistes technologiques qui sont illustrées sur la *Figure I.9*.

- *Passivation*

Afin de stabiliser l'état de surface du composant et limiter la pollution du composant par des éléments extérieurs, un dépôt d'une couche de diélectrique en surface. Cette passivation est essentielle pour le bon fonctionnement du HEMT. En effet, cette couche a notamment un impact très important sur les effets provoqués par les défauts responsables des effets de pièges présents dans le matériau, que nous détaillerons au paragraphe IV.2.c de ce chapitre.

- *Cap Layer*

L'ajout d'une fine couche (*cap layer*) au-dessus de la barrière AlGaN permet d'augmenter les performances du transistor. Cette couche, généralement composée de GaN de l'ordre de un à deux nanomètres, permet de diminuer les résistances de contact et de canal [11] tout en protégeant d'une oxydation naturelle l'aluminium présent dans la barrière. Le *cap layer* permet également d'augmenter la hauteur de la bande interdite et donc de limiter les courants de fuites de grille en polarisation inverse.
Le *cap layer* éloigne par contre le canal de la surface ce qui réduit l'efficacité de la commande de grille.

- *Back barrier*

L'ajout d'une deuxième barrière entre le buffer en GaN et le substrat permet également d'augmenter les performances des HEMTs. Cette barrière va annuler les effets de canal court (short channel effect), améliorant la qualité du pincement en permettant un meilleur confinement des électrons dans le gaz bidimensionnel et diminuant la conductance de sortie. Cette deuxième barrière isole également mieux la couche buffer ce qui contribue à réduire les fuites de courant par le buffer [12], [13].

❖ *Dopage du buffer*

L'ajout de dopants dans le buffer comme du fer ou du magnésium permet également de mieux confiner les électrons et donc de réduire les fuites de courant de drain. La tension de claquage est également améliorée [14], [15].

❖ *Field-Plate*

L'addition d'une plaque de champ, ou *field-plate* en anglais, constituée d'une couche métallique déposée au-dessus de la couche de passivation et au niveau de l'espace grille-drain, permet d'atteindre des tensions de claquage plus élevées en étalant le champ [16]. Cette plaque de champ a également un effet bénéfique sur l'état de surface puisqu'elle contribue à diminuer l'effet des pièges. Cependant, le rajout d'une couche métallique entraîne l'apparition de capacités parasites entre le *field-plate* et la grille ainsi qu'entre le *field-plate* et le drain, qui réduisent fortement les performances du composant en haute fréquence.

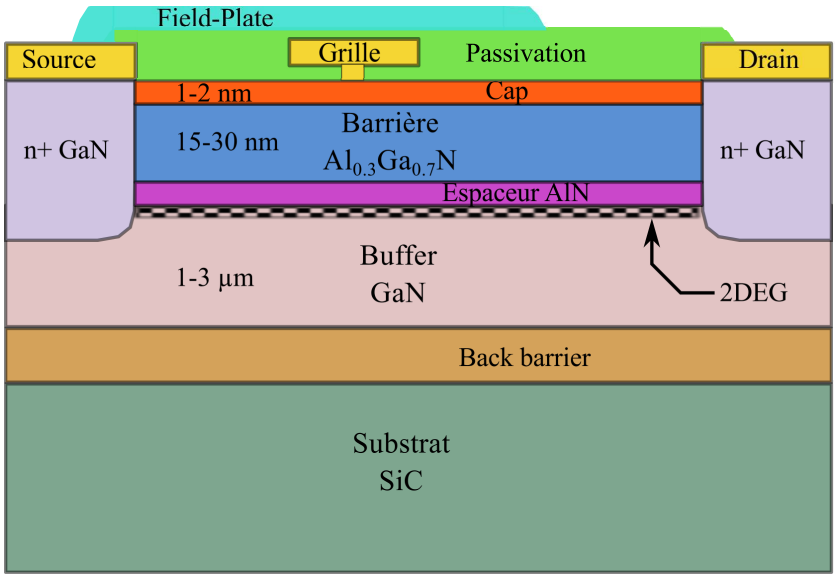


Figure I.9 : HEMT à double hétérojonction avec ajout d'une passivation et d'une couche cap layer, de passivation et d'un field-plate connecté à la source.

III.4. Structure d'un HEMT InAlN/GaN

Les déformations dues au désaccord de maille avec le buffer GaN dans le cas d'une barrière en AlGaN font certes apparaître des charges piézoélectriques mais créent également des contraintes qui peuvent se révéler néfastes au bon fonctionnement du transistor. Ce phénomène est répertorié dans la littérature sous le nom de 'inverse piezo-electric effect' en anglais [17]. Les champs électriques intenses présents dans les composants GaN vont engendrer une contrainte supplémentaire dans les couches semi-conductrices jusqu'à apparition de dislocations. Ces dislocations vont dégrader les performances et diminuer la fiabilité du composant.

Pour minimiser les contraintes dans la structure sans réduire la densité de courant, une barrière présentant moins de désaccord de maille avec la couche buffer GaN et le canal pourrait améliorer les performances de la structure. C'est un des intérêts de l'alliage InAlN qui, dans les proportions $In_{0.17}Al_{0.83}N$, ne présente pas de désaccord de maille avec le GaN (*Figure I.10*).

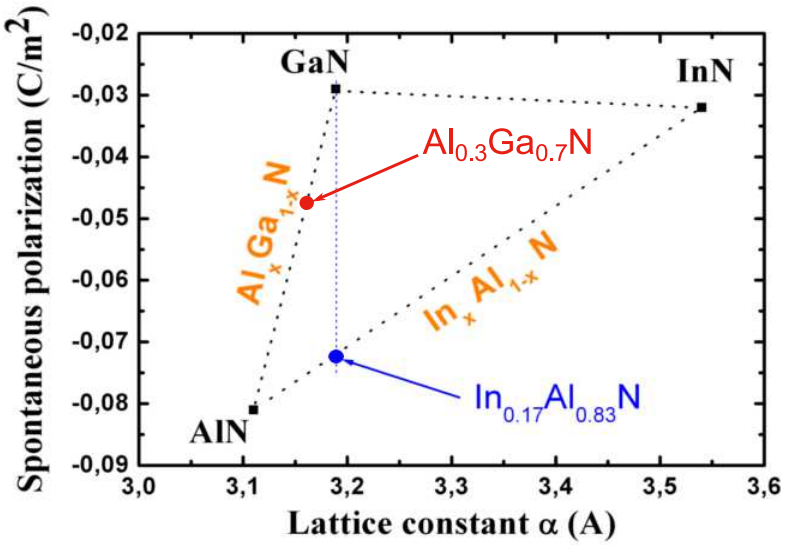


Figure I.10 : Polarisation spontanée en fonction du paramètre de maille α du GaN, de l'InN, de l'AlN et de ses composés.

Bien que la barrière en InAlN soit accordée en maille avec le buffer de GaN, la mobilité créée avec cette hétérostructure est peu satisfaisante. L'ajout d'une très fine couche espaceur (*spacer* en anglais) en AlN (≈1nm) (cf. *Figure I.11*) augmente le puits de potentiel créé à l'interface ce qui a pour effet d'améliorer la concentration de porteurs ainsi que leur mobilité. Les porteurs sont mieux confinés et ne se retrouvent plus dans la barrière mais seulement à l'interface.

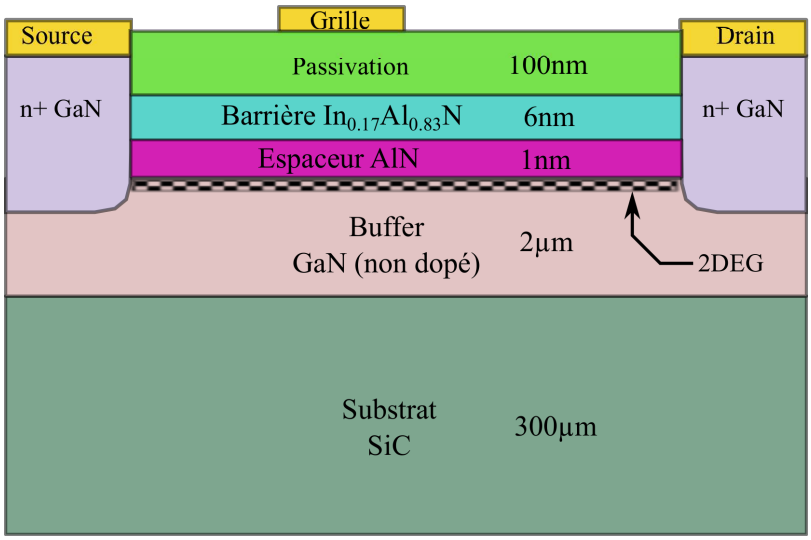


Figure I.11 : Structure d'un HEMT InAlN/AlN/GaN.

La barrière InAlN ne favorisera donc pas l'apparition de charges piézoélectriques mais la polarisation spontanée sera bien plus importante pour cet alliage, permettant ainsi une densité d'électrons dans le canal supérieure à la structure AlGaN/GaN (cf. *Tableau I.4*). Ce dernier point permettra d'obtenir des résistances de canal inférieures (de l'ordre de 200Ω/sq contre environ 400Ω/sq pour des structures AlGaN/GaN) favorisant de faibles résistances d'accès ce qui constitue un atout pour les composants devant fonctionner en hautes fréquences. De même, la densité de charge électronique importante dans le canal permettra d'atteindre des densités de courant importantes dans le composant favorisant les applications de puissance [18]. Néanmoins, de nombreux challenges restent à surmonter pour rendre industrialisable cette technologie pour des applications de puissance à hautes fréquences. Nous citerons par exemple les résistances des contacts qui sont pénalisées par la présence de la couche d'AlN (typiquement 0,4Ω.mm contre 0,2Ω.mm sans cette couche), le confinement d'une plus forte densité d'électrons dans le canal pour les grilles courtes (en deçà de 0,2µm), la minimisation des effets dispersifs ou encore la robustesse électrique.

Tableau I.4 : Comparaison des polarisations présentes dans les structures AlGaN/GaN et InAlN/GaN

	Δ Po (cm^{-2})	**Ppiezo (cm^{-2})**	**ns (cm^{-2})**
$Al_{0.3}Ga_{0.7}N/GaN$	$-1,56 \times 10^{-2}$	$-9,8 \times 10^{-3}$	$1,58 \times 10^{13}$
$In_{0.17}Al_{0.83}N/GAN$	$-4,37 \times 10^{-2}$	0	$2,73 \times 10^{13}$

IV Effets limitatifs dans les HEMTS à base de GaN

IV.1. Effets thermiques

IV.1.a. Variation de la hauteur de gap

Une augmentation de température dilate la plupart du temps les matériaux. Le cristal semi-conducteur vérifie ce principe car l'augmentation de la température vient étirer les mailles atomiques des composants. Or, la valeur de la hauteur de la bande interdite est directement reliée à la taille des mailles atomiques par la loi :

$$E_g(T) = E_g(0) - \alpha \frac{T^2}{T + \beta} \tag{1.8}$$

Avec T la température en Kelvin, $E_g(0)$, α et β des paramètres d'ajustage. Le *Tableau I.5* renseigne ces constantes d'ajustage pour les matériaux Si, AsGa et GaN.
La hauteur du gap est donc dépendante de la température puisque dépendante de la taille des mailles du cristal et diminuera avec les températures croissantes.

Tableau I.5 : Paramètres de dépendance thermique influençant la hauteur de barrière

	Si	**AsGa**	**GaN**
$E_g(0)$ [eV]	1,166	1,519	3,47
α [eV/K]	4,73 x 10^{-4}	5,41 x 10^{-4}	7,7 x 10^{-4}
β [K]	636	204	600

Cette relation implique donc également que la tension de claquage des composants diminue avec l'augmentation de la température.

Ce point est important quand on fait le parallèle avec des applications demandant de travailler sous de fortes puissances donc avec des matériaux confrontés à des puissances dissipées élevées. Malgré la diminution du gap avec la température, les matériaux à grands gaps restent particulièrement robustes aux champs électriques par rapport aux autres technologies.

IV.1.b. Impact sur la mobilité

L'augmentation de la température va aussi venir perturber le cristal en créant des vibrations entrainant une plus grande quantité de phonons (excitation collective de certains arrangements des atomes du cristal). Les électrons vont donc avoir une probabilité plus grande de rencontrer un phonon et la mobilité globale va s'en trouver réduite. Cette dépendance est illustrée dans la *Figure I.12*.

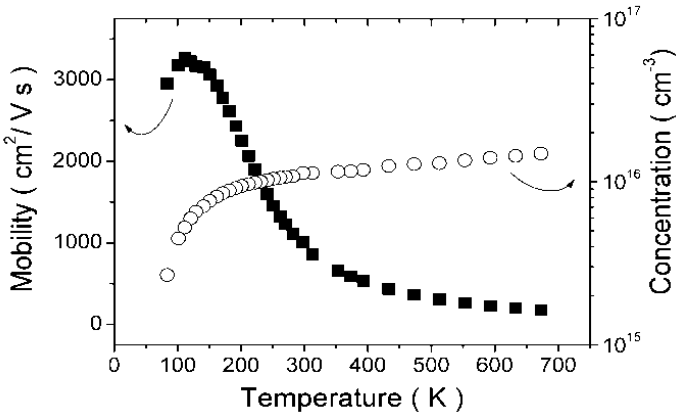


Figure I.12 : Dépendance en température de la mobilité et de la concentration des électrons dans un matériau en GaN de haute qualité. [19]

IV.1.c. Variations de la conductivité thermique

Sous des températures de plus en plus hautes, la conductivité thermique du GaN devient inversement proportionnelle à la température, une fois de plus à cause de l'augmentation de la concentration de phonons. À 150°C, la conductivité thermique est déjà presque 50% plus faible que celle observée à température ambiante ($K_{27°C}$ = 230W.K^{-1}.m^{-1} ; $K_{150°C} \approx$ 140 W.K^{-1}.m^{-1}) [20]. La dépendance en température de la conductivité thermique peut être exprimée par une loi empirique :

$$K(T) = K_0(\rho_D)\left(\frac{T}{300}\right)^{-\alpha} \qquad (1.9)$$

Avec ρ_D la densité de dislocation, K_0 et α des constantes d'ajustage. Pour un ρ_D<10^6 cm², la valeur de K_0 à 300K et est égale à 230 W.K^{-1}.m^{-1}. Dans le cas du GaN, le paramètre α est égal à 1,4.

IV.2. Défauts /pièges dans les HEMTs

Les technologies HEMTs à base de nitrure de gallium annoncent théoriquement de très bonnes performances pour des applications radiofréquences. Toutefois, les performances maximales théoriques sont souvent revues à la baisse. Les effets thermiques mentionnés auparavant sont en partie responsables de ces dégradations mais la deuxième grande cause est attribuée à des défauts présents dans la structure qui agissent comme des pièges à électrons.

IV.2.a. Origines et mécanismes des pièges

Les origines de ces pièges sont variées : dislocation dans le réseau cristallin engendrée par le mauvais accord de maille entre les matériaux (cf. § I.III.2.), imperfection intrinsèque au cristal due à l'absence d'un atome ou au contraire à la présence d'un atome supplémentaire, ajout de dopants ou d'impuretés volontaire ou non.

Ces défauts vont capturer des électrons qui de ce fait ne pourront plus participer au courant de sortie du transistor. Ces phénomènes de piégeage sont d'ailleurs accélérés lors de la polarisation du composant par des phénomènes tels que l'injection de porteurs « chauds » ou l'application de forts champs électriques lors des cycles de charge imposés par le signal hyperfréquence.

Du point de vue physique, ces pièges sont définis par une certaine signature incluant leur énergie d'activation, reflet du niveau énergétique de leur position dans la bande interdite, leur section efficace de capture (leur taille) et leur densité. Il est donc plus probable d'avoir des niveaux de pièges dans des matériaux à grande bande interdite.

La *Figure I.13* présente les différents mécanismes d'échanges de porteurs de charges impliquant ces défauts. Il est évident qu'un piège profond en énergie (valeur énergétique élevée) sera plus facilement soumis à des échanges de trous puisque proche de la bande de valence. À l'inverse des pièges faibles en énergie d'activation favoriseront les échanges d'électrons avec la bande de conduction.

On différenciera d'autre part deux types de pièges : les pièges donneurs et les pièges accepteurs.

- Un piège <u>accepteur</u> est toujours neutre quand il est vide et devient donc négatif lors de la capture d'un électron.
- Un piège <u>donneur</u> est quant à lui chargé positivement à vide et devient neutre une fois rempli par un électron.

Dans la *Figure I.13*, la lettre « C » illustre les phénomènes de capture et la lettre « e » désigne l'émission. Les indices « p » et « n » font référence, respectivement, à des échanges de trous et d'électrons.

Il ressort ainsi 4 mécanismes différents :

- (A) : Génération de porteurs
- (B) : Piégeage et réémission d'électrons
- (C) : Piégeage et réémission de trous
- (D) : Recombinaisons

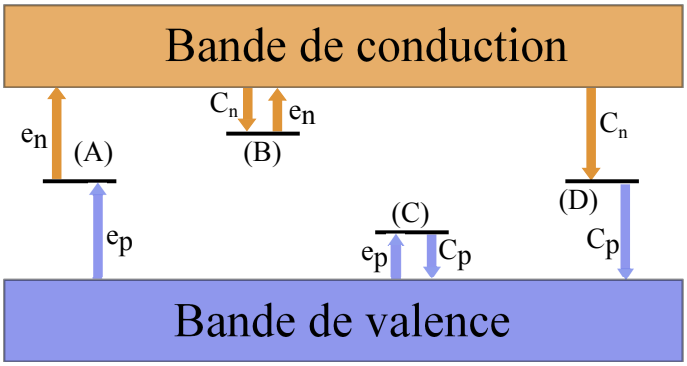


Figure I.13 : Mécanismes d'échanges entre les défauts et les bandes énergétiques.

A l'équilibre, il y a donc :

$$(C_n + e_p) \cdot (N_T - n_T) = (C_p + e_n) \cdot n_T \qquad (1.10)$$

Avec N_T le nombre total de pièges et n_T le nombre de pièges occupés.

Les termes C_n et C_p représentent les taux de capture, respectivement d'électrons et de trous en s^{-1}. Les termes e_n et e_p sont les taux d'émission également en s^{-1}.

Ces taux de capture et d'émission étant l'inverse des constantes de temps τ, on retrouve donc :

$$\tau_{e(n,p)} = \frac{1}{e_{(n,p)}} \text{ et } \tau_{C(n,p)} = \frac{1}{C_{(n,p)}} \qquad (1.11)$$

Les pièges entraineront de ce fait des phénomènes transitoires sur le courant lors de la capture ou de l'émission qui seront directement dépendants de ces constantes de temps.

Si l'on considère le cas d'un piège rempli par un électron, le taux de réémission e_n de ce porteur vers la bande de conduction va être dépendant de la nature du piège (sa signature) et de la température selon la loi d'Arrhenius :

$$\frac{e_n}{T_j^2} = \frac{\sigma_n A_n}{g} \exp\left(-\frac{E_a}{k_B T_j}\right) \qquad (1.12)$$

Avec

$$A_n = \frac{N_c \, v_{th}}{T_j^2} \qquad (1.13)$$

Où T_j est la température de jonction (en K), σ_n la section efficace, E_a l'énergie d'activation (en eV), v_{th} la vitesse thermique des électrons, N_c la densité effective d'états pour les électrons de la bande de conduction, g le facteur de dégénérescence et k_B, la constante de Boltzmann.

IV.2.b. Répartition spatiale

Les pièges se situent à des niveaux discrets en termes d'énergie, mais considérant la géométrie du composant, on peut les retrouver en diverses locations dans la structure HEMT. On distinguera donc les pièges de surface, les pièges aux interfaces et les pièges situés dans les matériaux semi-conducteurs comme par exemple dans la barrière ou dans la couche buffer. Ils auront également plus ou moins tendance à se retrouver dans les zones d'accès grille-drain ou sous la grille car ces régions sont les plus exposées aux forts champs électriques.

IV.2.c. Réduction des effets de pièges de surface

Une grande avancée dans la réduction des effets de pièges a été marquée par l'ajout d'une couche de passivation sur la surface de la structure des HEMTs. En effet, après dépôt de diélectrique d'Alumine (Al_2O_3), de Nitrure de Silicium (Si_3N_4,) ou de Dioxyde de Silicium (SiO_2) pour les plus courantes, les performances des transistors sont améliorées [21]. Cette passivation, en jouant sur la nature de la surface, permet de stabiliser la densité de piège dans cette zone en neutralisant les liaisons pendantes, ce qui évite la création de nouveaux centres.
En diminuant les charges piégées à la surface, la passivation contribue à diminuer le courant de fuite de grille et augmente également la valeur de la tension de claquage.
Cependant, comme souvent, des compromis doivent être réalisés. Par exemple, l'épaisseur de la passivation devra être judicieusement ajustée afin d'isoler la surface du semi-conducteur de l'environnement extérieur au détriment des valeurs des capacités grille-drain et grille-source, diminuant alors les performances en fréquence des transistors.

Comme il sera détaillé au chapitre suivant, il est possible d'évaluer l'impact des effets des pièges via des mesures de courant-tension (I-V) à différents points de repos pour les alimentations de drain V_{DS} et de grille V_{GS} pulsées: une mesure à « froid » (V_{GS0} = 0V ; V_{DS0} = 0V), une mesure à « froid » et avec un canal d'électron pincé ($V_{GS0} < V_p$; V_{DS} = 0V), une mesure à « chaud » et avec un canal d'électron pincé ($V_{GS0} < V_p$; $V_{DS0} >> 0V$). Les *Figure I.14*, *I.15* et *I.16* illustrent l'apport de la passivation en comparant les caractéristiques de sortie des transistors avant et après passivation pour les trois points de polarisations de repos des impulsions énumérés ci-dessus.

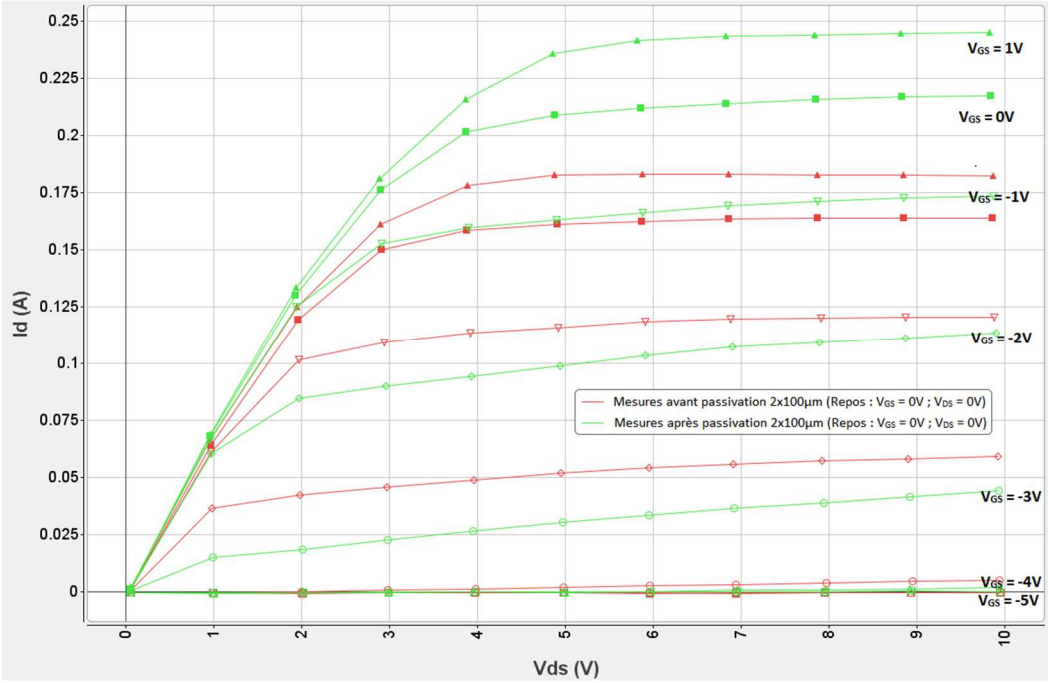


Figure I.14 : Réseaux I-V avant et après passivation pour une polarisation de repos à « froid » (V_{GS} = 0V ; V_{DS} = 0V) effectués sur un HEMT InAlN/GaN de deux doigts de 100µm de large.

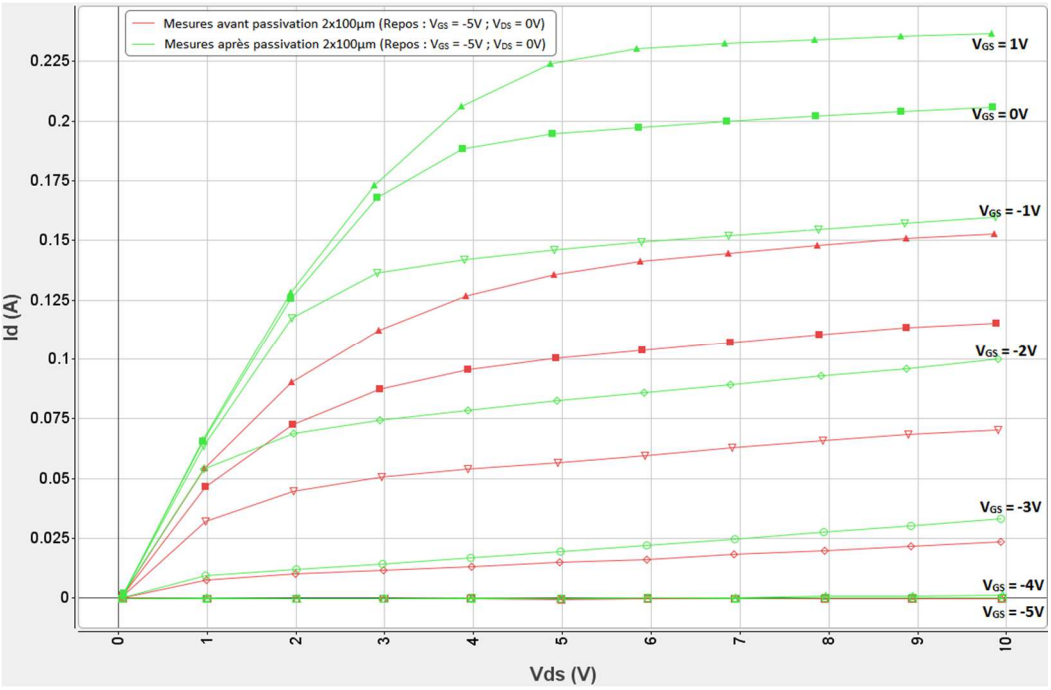


Figure I.15 : Réseaux I-V avant et après passivation pour une polarisation de repos à « froid » (V_{GS} = -5V ; V_{DS} = 0V) effectués sur un HEMT InAlN/GaN de deux doigts de 100µm de large.

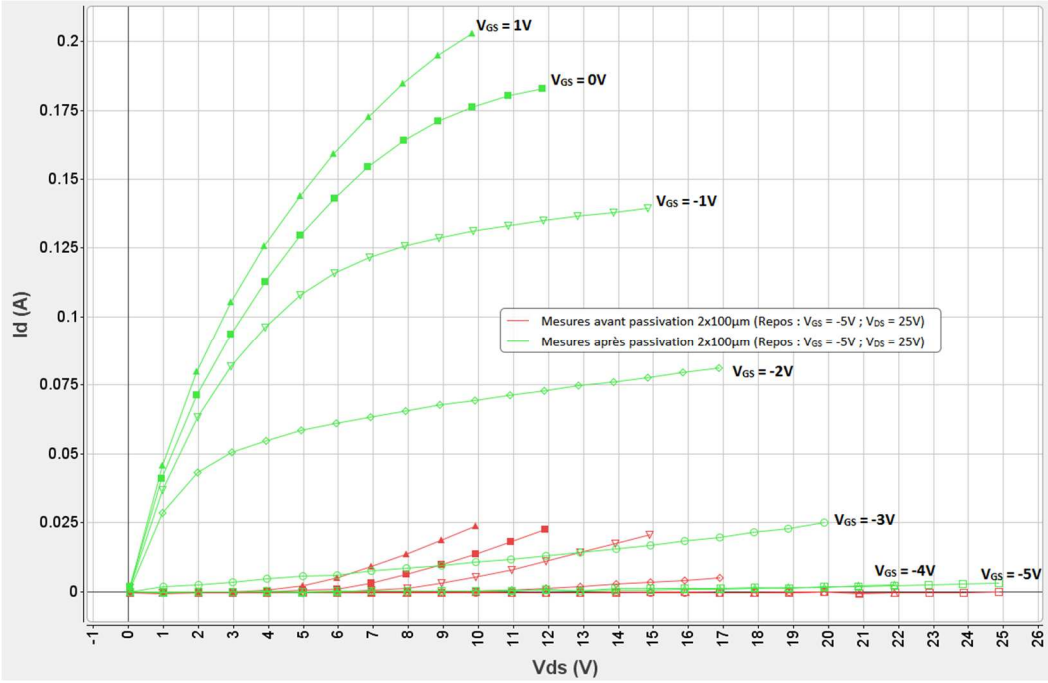


Figure I.16 : Réseaux I-V avant et après passivation pour une polarisation de repos à « froid » (V_{GS} = -5V ; V_{DS} = 25V) effectués sur un HEMT InAlN/GaN de deux doigts de 100µm de large.

Au regard de ces trois figures et surtout vis-à-vis de la dernière, il est indéniable que la passivation améliore les performances du transistor. Le courant est bien plus important après application d'une couche de passivation et celui-ci est bien moins sensible à la tension V_{DS} appliquée : le courant est 10 fois plus important après passivation lorsque le point de repos de l'impulsion de tension de drain V_{DS} est à 25V.

V Etat de l'art des HEMTs en GaN en bande Ka

Le GIE III-V Lab, en suivant l'évolution du marché des communications haute fréquence, a orienté sa recherche vers la montée en fréquence afin de réaliser des transistors capables de fonctionner autour de la bande Ka (27GHz-40GHz). La montée en fréquence nécessitant une diminution de la longueur de grille, les transistors sont désormais optimisés pour fonctionner avec une longueur de grille Lg = 0,15µm. La diminution de ce paramètre critique n'est pas triviale et l'ensemble du process de fabrication du transistor doit être optimisé. Pour comparer les performances des transistors du III-V Lab et les situer parmi les autres travaux référencés dans la littérature, le *Tableau I.6* dresse l'état de l'art des HEMTs à base de GaN opérant autour de la bande Ka, depuis 2005.

Tableau I.6 : Etat de l'art des HEMTs à base de GaN pour des fréquences situées autour de la bande Ka

Ref	Technologie	Pout (dBm)	Densité de puissance (W/mm)	Gain lin. (dB)	PAE (%)	Fréquence (GHz)	f_T (GHz)	Gm max (mS/mm)	V_{DS} (V)	Lg (nm)	Wg (µm)	Année
[22]	AlGaN/AlN/GaN/Si	24	2,7	6,5	12,5	40	116	350	25	75	2x50	2015
[23]	InAlN/AlN/GaN/SiC	26	4	11	40	30	55	450	17,5	150	2x50	2015
*	AlGaN/AlN/GaN/SiC	29	3,5	12	35	30	50	350	20	150	6x50	2014
[24]	GaN/InAlN/AlN/GaN/SiC	28	5,85	6	15	40	50	530	35	200	90	2013
[25]	AlGaN/AlN/GaN/Si	23	3,3	10,6	20,1	40	81	476	15	60	2x30	2013
[26]	AlGaN /GaN/SiC	31,6	3	12	34	35	80	550	15	100	8x60	2013
[27]	AlN/GaN/AlGaN/Si	21	2,5	9	18	40	80	550	15	100	2x25	2012
[28]	AlGaN /GaN/Si	?	2	4	13,8	40	60	540	20	200	?	2012
[29]	AlGaN/GaN/SiC	31,3	3,4	10	47	30			20	150	8x50	2012
*	InAlN/AlN/GaN/SiC	25,75	2,5	8	25	30	40	400	20	150	2x75	2012
[30]	AlGaN/AlN/GaN/AlGaN		4,5	7	28	34	45	300	24	250	2x100	2012
			3,1	<5	26,3	34	80	300	20	150	2x50	
[31]	AlGaN/GaN/SiC	42,7	2,8	7,1	21,9	31	34	400	24	150	16x8x50	2011
[32]	AlGaN/GaN/SiC	43	3,6	6,7	13,3	26		400	24	150	16x8x50	2010
[33]	InAlN/AlN/GaN/SiC	33	5,8	6,6	43	35	79	355	20	160	4x85	2010
[34]	AlGaN/GaN/SiC	31,8	10	11,3	40	30	55	425	42	140	2x75	2008
		28,1	4,3	8,6	52	30	55	425	20	140	2x75	
[35]	AlGaN/GaN/SiC	29,5	4,5	6,7	51	35	46	501	20	250	4x50	2007
[36]	AlGaN/GaN/SiC	32	10,5	9	28	30	70	450	30	160	2x75	2005
[37]	AlGaN/AlN/GaN/SiC	38	8	8,5	31	30	58		28	170	1500	2005
[38]	GaN/AlGaN/GaN/AlGaN/SiC	31,5	7	10	40	30	50	350	29	150	4x50	2005
[39]	AlGaN/GaN/SiC	29,3	5,7	8,3	45	30	60	550	20	200	2x75	2005

* Résultats III-V Lab non publiés

La première conclusion qui ressort de l'étude de ce tableau est qu'il n'existe que très peu de travaux sur des transistors utilisant une barrière en InAlN. Hormis les résultats du III-V Lab, nous n'avons répertorié que les travaux de l'équipe d'A. Crespo du AFRL, datés de 2010 [33] ainsi que ceux de l'université de Lausanne datés de 2013 [24].

Même si la plupart des résultats pour cette gamme de fréquences reposent donc sur des architectures de HEMTs avec une barrière en AlGaN, les performances des transistors avec une barrière en InAlN sont tout à fait honorables et se situent naturellement dans cet état de l'art.
Les densités de puissance avoisinent 3W/mm à 4W/mm pour des tensions de drain d'environ 20V et des PAE associées de 15% à 25%. On notera toutefois des records de puissance allant jusqu'à 10W/mm pour des tensions de drain appliquées de 30V [35] et 42V [34] ainsi que des PAE_{Max} atteignant 40% à 50% pour certaines publications [33], [34].

Nous remarquerons également la généralisation de l'utilisation de substrats en SiC permettant d'obtenir les meilleurs résultats même si quelques travaux sur des substrats Silicium se placent dans cet état de l'art. D'ailleurs, les résultats sur Si essentiellement issus des équipes de recherche du laboratoire IEMN, sont orientés vers des fréquences de fonctionnement en haut de la bande Ka, vers 40GHz quand la plupart des autres résultats de cet état de l'art se situent autour de 30GHz.

Dans les années les plus récentes, la tendance semble être d'ajouter systématiquement une couche d'AlN, même si les structures standards en AlGaN/GaN/SiC sont les plus représentées ici.

VI Conclusion

Dans ce chapitre, nous nous sommes attachés à démontrer les avantages des structures HEMTs à base de GaN pour des applications de puissances hyperfréquence. En effet, de par leurs caractéristiques, ces transistors seront robustes en termes de tenue en compression, en désadaptation, en fonctionnement à hautes températures et/ou en environnements agressifs.

L'état de l'art présenté à la fin de ce chapitre permet d'affirmer que les composants HEMTs à base de GaN peuvent fournir de fortes puissances de sortie à des fréquences de plusieurs GHz et plus particulièrement en bande Ka. Or, cette gamme de fréquence est stratégique pour les applications de télécommunication spatiale.

D'autre part, les HEMTs réalisés à partir d'une hétérostructure InAlN/GaN, devant permettre de réduire les pertes de puissances dues aux effets de pièges créés par les contraintes cristallographiques, se placent aujourd'hui au même niveau que les HEMTs avec une barrière en AlGaN dans l'état de l'art. De plus, les récents résultats observés sur les HEMTs à barrière en InAlN, notamment sur la densité de puissance de sortie, laissent espérer de nouveaux records.

Les challenges sont désormais tournés vers l'amélioration de la robustesse de ces composants, ce qui passera entre autre par des études sur les effets de pièges, qui restent aujourd'hui un des principaux freins au développement de ces filières. Dans cette optique, nous avons mis en place durant ces travaux de thèse une méthode d'extraction des caractéristiques des défauts responsables des effets de piégeage et de dépiégegage. Cette méthode, basée sur la mesure de paramètres [S] à basse fréquence, peut être directement appliquée aux HEMTs et fait l'objet du deuxième chapitre de ce manuscrit.

CHAPITRE II :

Détection de pièges dans les HEMTs InAlN/GaN et AlGaN/GaN via la mesure basse fréquence de l'admittance de sortie

I Introduction

Le fort potentiel des HEMTs GaN pour les applications microondes a été détaillé au chapitre précédent. Mais il a été également pointé que cette structure comporte des défauts qui agissent comme des pièges à électrons. Ces défauts se retrouvent donc responsables de dégradations visibles des performances microondes des composants, comme la variation de la polarisation pour maintenir l'état du courant de sortie ou la dégradation de la linéarité lors de l'utilisation de signaux modulés [40], [41]. C'est pourquoi il est primordial de connaître la nature de ces défauts et de bien comprendre leurs effets afin d'améliorer la qualité des composants et leurs performances. La compréhension des effets à bas niveau de puissance permet également de mieux expliquer les phénomènes particuliers et inattendus observés au niveau système et de produire des modèles toujours plus complets et prédictifs.

Plusieurs techniques de caractérisation des pièges existent déjà, reposant essentiellement sur la méthode de Deep Level Transient Spectroscopy (DLTS) [42], [43]. Mais la méthode proposée et détaillée dans ce chapitre, basée sur la mesure de paramètres [S] à basse fréquence, apporte certains avantages notamment celui d'utiliser directement un analyseur de réseau vectoriel (ARV). La grande dynamique de mesure qu'offre l'ARV permet d'obtenir une sensibilité de mesure importante. Cette mesure pouvant être réalisée sous pointes ou entre connecteurs, est également attractive de par sa relative simplicité de mise en œuvre. Comme expliqué au chapitre précédent, les pièges sont sensibles à la température et pour faciliter leur détection, nous utiliserons un chuck thermique qui permettra d'accélérer ou de ralentir leur temps de capture et d'émission d'électrons.
Nous verrons également que cette technique peut se révéler être un outil original de diagnostic des dégradations subies par les composants.

La première partie de ce chapitre présentera quelques techniques de mesures et d'identification d'effets de pièges parmi les plus souvent répertoriées dans la littérature. La seconde partie s'attachera à présenter la méthode de détection des pièges dans les HEMTs GaN mise en place dans le cadre de cette thèse. Enfin, la dernière partie détaillera plusieurs résultats de mesures ainsi que les conclusions et hypothèses qui en résultent.

II Principales méthodes expérimentales de détection de pièges

II.1. Réseaux I-V issus de mesures pulsées

Les mesures I-V pulsées sont un moyen d'investiguer les effets dus aux pièges car elles permettent d'observer les transitoires impossibles à voir avec des mesures continues [44], [45]. En effet, en appliquant un échelon de tension suffisamment court, les états électriques des défauts n'atteignent pas leurs régimes permanents et révèlent donc des informations essentielles sur leur nature. L'utilisation d'impulsions électriques courtes permet également de s'affranchir des effets thermiques induits par l'auto échauffement du composant.

On distinguera deux principales variantes de la mesure des variations du courant de drain : la mesure de Gate Lag et la mesure de Drain Lag. Ce sont des méthodes orientées sur la caractérisation des effets de pièges mais qui ne permettent pas d'extraire les signatures des pièges.

- <u>Gate-lag</u> :

Le gate-lag représente l'effet sur les pièges de la tension V_{GS} appliquée sur la grille du composant. Les variations de la commande de grille entraînant des variations du courant de drain, l'analyse de ce courant en fonction de l'état du transistor permettra de déceler des différences sur les caractéristiques des phénomènes de piégeage : à l'état ouvert (typiquement V_{GS} = 0 V pour les HEMTs normally ON), pendant les transitions pincé-ouvert et inversement (transitions « *ON-OFF* » : tension de grille amenée au pincement puis remise à 0V ou inversement). Le gate-lag à proprement parler est observé lorsque la tension de grille passe brusquement de la tension de pincement à une tension V_{GS} = 0 V (donc OFF vers ON). On observe alors un temps de transition pendant lequel le courant de drain atteint progressivement son état établi.

Pour illustrer les effets du gate-lag sur des HEMTs InAlN/GaN développés au III-V Lab, nous avons effectué des mesures « I-V » ($I_{DS}(V_{DS})$) pulsées à deux points de polarisation de repos différents. Une polarisation de repos choisie pour V_{GS} = 0V et V_{DS} = 0V (dénommée « (0,0) ») et une autre choisie pour V_{GS} = -5V et V_{DS} = 0V (dénommée « (-5,0) »). Ainsi, dans le cas d'une polarisation de repos (-5,0), le composant est maintenu pincé sans champ appliqué sur le drain puis il va suivre les polarisations instantanées imposées par les impulsions. Ces deux mesures à V_{DS} = 0V (« à froid ») impliquent en outre une annulation des effets thermiques.

La *Figure II.1* présente des mesures de gate-lag pour un composant HEMT InAlN/GaN sur substrat SiC, avec six doigts de grille de 50µm de large et de 150nm de long, issu de la plaque TS567. Le réseau I-V a été réalisé pour une tension de grille V_{GS} variant de -4V à 2V avec des impulsions de 850 ns de large pour une période de 10 µs.

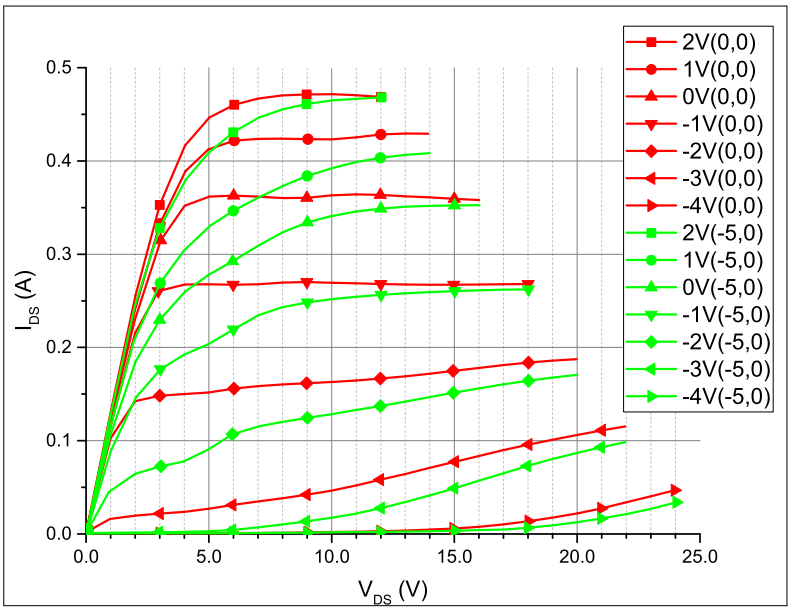


Figure II.1 : Mise en évidence du phénomène de Gate-lag sur un transistor HEMT InAlN/GaN 6x50µm (Lg=0.15µm).

Sur les courbes de la *Figure II.1*, la dégradation de l'amplitude du courant I_{DS} entre les mesures à (0,0) et les mesures à (-5,0) apparaît nettement. Ceci s'explique par le fait que lorsque le composant est laissé pincé quand il se trouve au repos, des pièges se chargent dans un certain état fixé par la valeur de V_{GS} (ici, -5V). Ensuite, lors de l'application d'une impulsion de grille et de drain qui viennent mettre en conduction le transistor, les pièges chargés au préalable commencent à réémettre mais des pièges sensibles à la polarisation de drain vont aussi capturer des charges. Or comme le phénomène de capture est très rapide et celui de réémission est lent, on n'observe sur de courtes impulsions uniquement l'effet de la capture, d'où un niveau de courant de sortie encore plus faible.

- <u>drain-lag</u> :

Le drain-lag représente les variations du courant de drain I_{DS} lors de variations de la tension V_{DS} appliquée sur le drain et non-plus sur la grille.

Le drain-lag est caractérisé par le fait que le courant va brusquement augmenter lors d'une variation positive de la tension de drain, puis diminuer tout de suite après et ce, seulement si le temps de l'impulsion V_{DS} est plus long que la constante de temps de capture des pièges mais également plus court que leur constante de temps d'émission. Le courant diminue car

l'augmentation de la tension V_{DS} ionise une plus grande quantité de pièges et les électrons sont donc capturés et ne participent plus au courant de sortie [46]. Une fois que tous les pièges sont remplis le courant se stabilise puis, lorsque l'impulsion de tension V_{DS} se termine, on voit apparaître une lente augmentation du courant qui correspond à la réémission des pièges. Cette réduction du courant peut aussi être expliquée comme l'apparition d'une électrode de grille parasite (back-gate) engendrée par une zone de charge d'espace à l'interface substrat/canal qui pince le canal. Ce phénomène est appelé « Self-Backgating ».

La mise en évidence des effets du drain-lag peut s'effectuer en reprenant le même test que celui réalisé pour mesurer le gate-lag, mais en appliquant également du champ sur le drain au repos. On fixera donc, par exemple, comme polarisation de repos une tension de grille V_{GS} = -5V et une tension de drain V_{DS} = 20V (dénommée « (-5,20) »). Les mesures illustrées dans la *Figure II.2* ci-dessous ont été réalisées sur le même composant et dans les mêmes conditions que les mesures de gate-lag présentées précédemment.

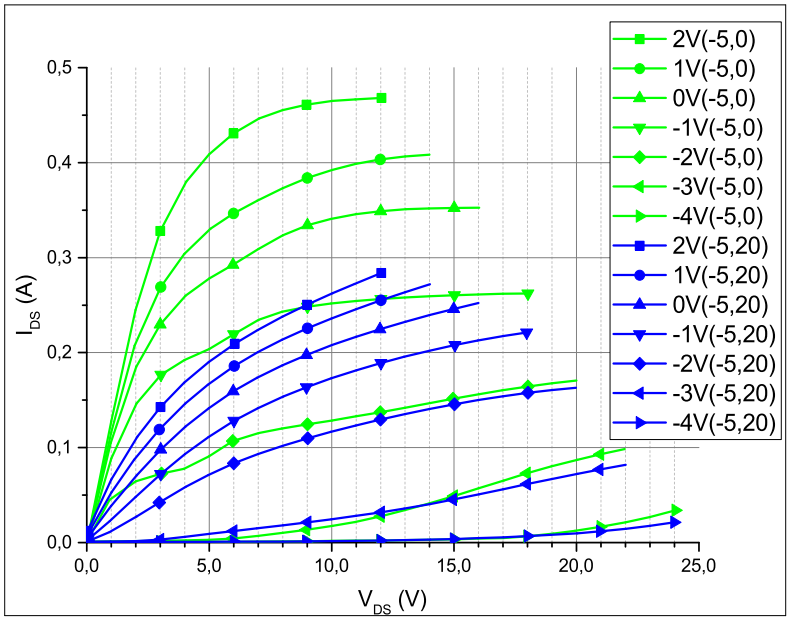


Figure II.2 : Mise en évidence du phénomène de Drain-lag sur un transistor HEMT InAlN/GaN 6x50µm (Lg=0.15µm).

La *Figure II.2* montre clairement que les effets du drain-lag sont très importants sur ce composant. Le niveau global du réseau I-V s'est fortement réduit par rapport à la mesure réalisée pour la polarisation (0,0). Au niveau du coude, pour un V_{GS} = 2V, le courant I_{DS} chute de 250 mA (soit 833mA/mm) entre les deux mesures. En effet, la tension appliquée sur le drain au repos a chargé beaucoup de pièges qui n'ont pas eu le temps de réémettre pendant les impulsions.

Afin de quantifier concrètement les effets de gate-lag (« GL ») et de drain-lag (« DL »), il est possible d'exprimer leur contribution en pourcentage :

$$GL(\%) = \frac{\Delta I' \cdot \Delta V'}{\Delta I \cdot \Delta V} \tag{2.1}$$

$$DL(\%) = \frac{\Delta I'' \cdot \Delta V''}{\Delta I' \cdot \Delta V'} \tag{2.2}$$

Avec les couples (ΔI, ΔV), (ΔI', ΔV'), (ΔI'', ΔV'') représentant les variations maximales du courant de drain I_{DS} et de la tension de drain V_{DS} pour les mesures I-V pulsées réalisées respectivement à des points de repos (V_{GS0} = 0V, V_{DS0} = 0V), (V_{GS0} = V_p, V_{DS0} = 0V), (V_{GS0} = V_p, V_{DS0} > 0V). Ces paramètres sont illustrés graphiquement sur la *Figure II.3* ci-dessous [46].

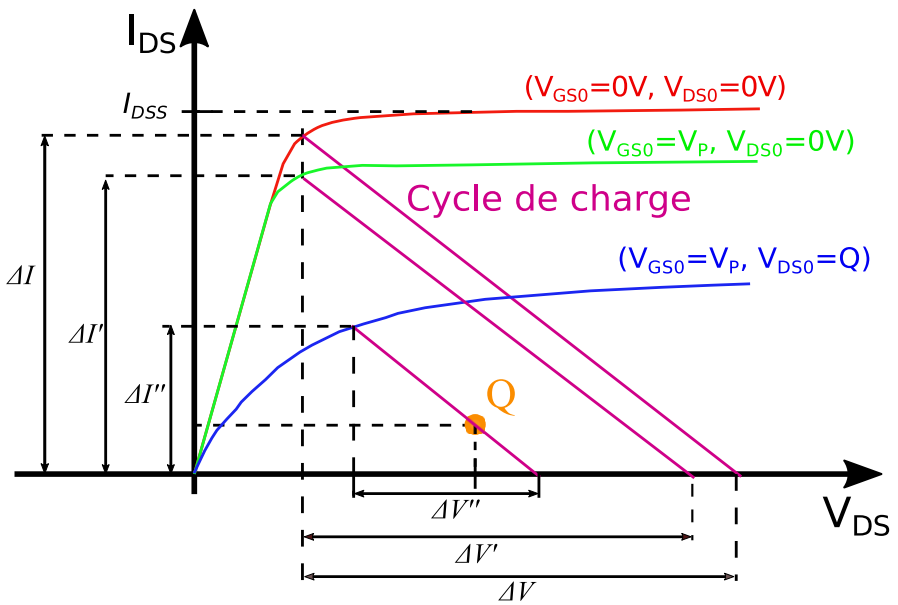


Figure II.3 : Courbes d'$I_{DS}(V_{DS})$ pour un V_{GS}>>V_p pour trois points de repos des impulsions de tensions d'alimentation V_{DS} et V_{GS}, pour la mise en évidence du gate-lag et du drain-lag.

II.2. Deep Level Transient Spectroscopy (DLTS)

La spectroscopie des niveaux profonds (Deep Level Transient Spectroscopy ou DLTS) [43] est une méthode de caractérisation des défauts dans un matériau semi-conducteur, très souvent utilisée et basée sur l'étude de transitoires de capacité induits par l'application d'impulsions électriques pour injecter des porteurs majoritaires ou minoritaires. Un balayage en température est effectué pour faire varier l'état des pièges. Cette technique permet d'obtenir la signature complète des pièges détectés.

Le principe de cette mesure est d'envoyer une impulsion de tension puis d'analyser les variations de capacité (de la barrière dans le cas d'un HEMT) à deux instants différents. Comme

l'émission des pièges est accélérée par l'augmentation de la température, la valeur de la capacité va changer en fonction de la température imposée. On relève alors la différence de cette valeur de capacité entre les deux instants de mesure pour chaque température appliquée (méthode dite « Boxcar Resolution»). On obtient alors une courbe formant un pic. Le maximum de pic correspond au taux d'émission du piège et la taille du pic renseignera sur sa densité.

En utilisant la loi d'Arrhenius qui sera reprise et détaillée au paragraphe III.3 de ce chapitre, il devient possible d'extraire l'énergie d'activation ainsi que la section efficace de capture du piège.

En pratique, on vient créer un état initial en appliquant une tension inverse sur le composant. On obtient donc une jonction déplétée d'une certaine taille (*Figure II.4* Ⓐ). Puis lors de l'application d'un échelon de tension d'une durée tp et d'une amplitude Vp, la taille de la région déplétée se réduit et les pièges vides présents dans cette région se remplissent Ⓑ. A la fin de l'échelon, la taille de la zone déplétée s'élargit de nouveau et les pièges réémettent ©.

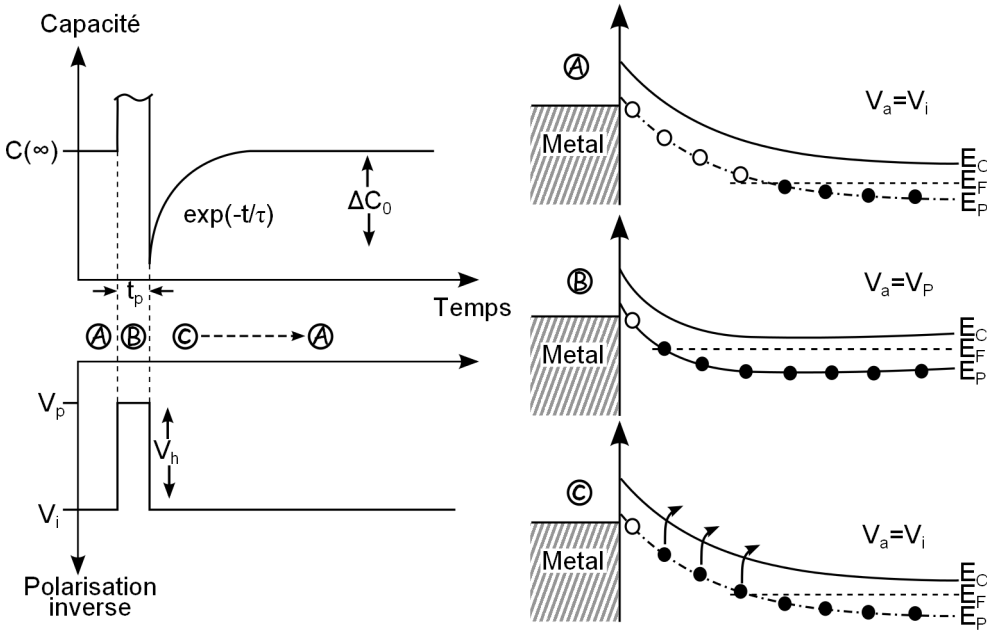


Figure II.4 : Mécanismes de capture et d'émission de pièges sous l'effet d'impulsions électriques imposées.

On peut aisément distinguer les porteurs libres des charges réémises par les pièges car ceux-ci suivent instantanément les changements apportés par les impulsions appliquées, tandis que les pièges réémettent beaucoup plus lentement. En effet, la vitesse de réémission des pièges dépend de leur énergie d'activation et donc de leur profondeur dans les bandes d'énergie.

Pour détecter les variations dues à la réémission de ces pièges, on vient échantillonner la réponse de la capacité du composant à deux instants différents puis on intègre la différence en ces deux relevés. La valeur extraite sera donc dépendante de la fenêtre de temps choisie entre t_1 et t_2 mais aussi fonction de la température appliquée. En effet, une augmentation de la température entraine une augmentation de la vitesse de rémission des pièges.

En traçant les relevés de transitoires de capacité en fonction de la température appliquée, on retrouve une forme de cloche expliquant bien ce phénomène (*Figure II.5*).

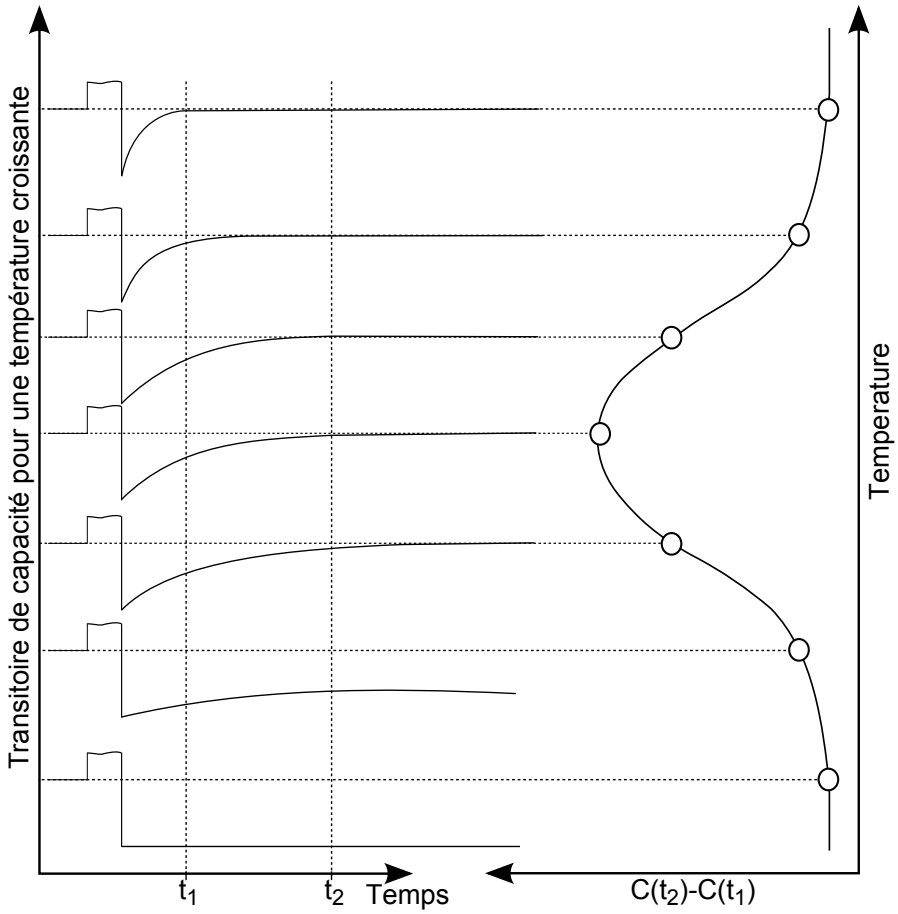


Figure II.5 : Principe de la technique dite de Boxcar.

Le signal mesuré *S(t)* en sortie du dispositif dépendra donc des transitoires de capacités mesurés aux instants t_1 et t_2 à une certaine température :

$$S(t) = \Delta C(t_1) - \Delta C(t_2) \tag{2.3}$$

Or

$$\Delta C(t_x) = \Delta C(0) \exp\left(\frac{-t_x}{\tau}\right) \tag{2.4}$$

D'où

$$S(t) = \Delta C(0)\left(\exp\left(\frac{t_1}{\tau}\right) - \exp\left(\frac{t_2}{\tau}\right)\right) \tag{2.5}$$

En se positionnant au maximum du lobe (*dS(t)/dt* = 0), l'équation (2.5) donne la valeur de τ_{max}.

$$\tau_{max} = \frac{\tau_2 - \tau_1}{\ln\left(\frac{\tau_2}{\tau_1}\right)} \quad (2.6)$$

Or

$$e_n = \frac{1}{\tau} \quad (2.7)$$

Avec e_n le taux d'émission d'un piège.

En reprenant la valeur du maximum du signal *S(t)* ainsi que les instants t_1 et t_2, il est possible de retrouver la valeur de τ et donc de e_n. En utilisant la même méthode que celle décrite ultérieurement au paragraphe III.3 de ce chapitre, on retrouvera l'énergie d'activation et la section efficace de capture du piège détecté. Les amplitudes de ces transitoires renseigneront quant à elles sur la concentration. La forme de ces transitoires renseigne également sur la nature des porteurs piégés : une augmentation de porteurs minoritaires piégés provoque une augmentation de la capacité de jonction. Ainsi, si la variation de capacité mesurée est positive on détectera donc un piège de porteurs minoritaires par contre une variation négative indiquera la détection de piège de porteurs majoritaires.

Plusieurs variantes de DLTS sont souvent reprises, chacune d'elles présentant un avantage particulier :

- <u>Constant drain curent DLTS :</u>

La mesure se fait avec une boucle d'asservissement permettant de maintenir le courant de drain au même niveau [47], ce qui permet entre autre de ne pas modifier l'état thermique du composant. Mais cette technique permet surtout de pouvoir identifier plus finement l'emplacement des pièges car elle est sensible aux pièges présents en dessous de la grille et également dans les zones d'accès côté drain. On va venir détecter les variations de la tension de seuil apportées par les phases de capture et d'émission des pièges.

Si la compensation du courant de drain se fait par un contrôle de la tension de grille (utilisation en régime de saturation), les pièges détectés seront donc situés en dessous de la grille. De façon similaire, si la compensation se fait par une modulation de la tension de drain (utilisation en régime triode), les pièges détectés seront majoritairement situés dans les zones d'accès côté drain (*Figure II.6*).

Sur la *Figure II.6*, les droites de charge en rouge indiquent les polarisations pour les modes de contrôle par la grille (GC) et par le drain (DC). Le point F correspond à la polarisation pour le remplissage des pièges (ici Vg=0V, Vd=1V pour le mode GC et Vg=-4V, Vd=10V pour le

mode DC) et le point M correspond à la polarisation de mesure (ici Vd=2V, Id=0.01A/mm pour le mode GC et Vg=0V, Id=0.8A/mm pour le mode DC)

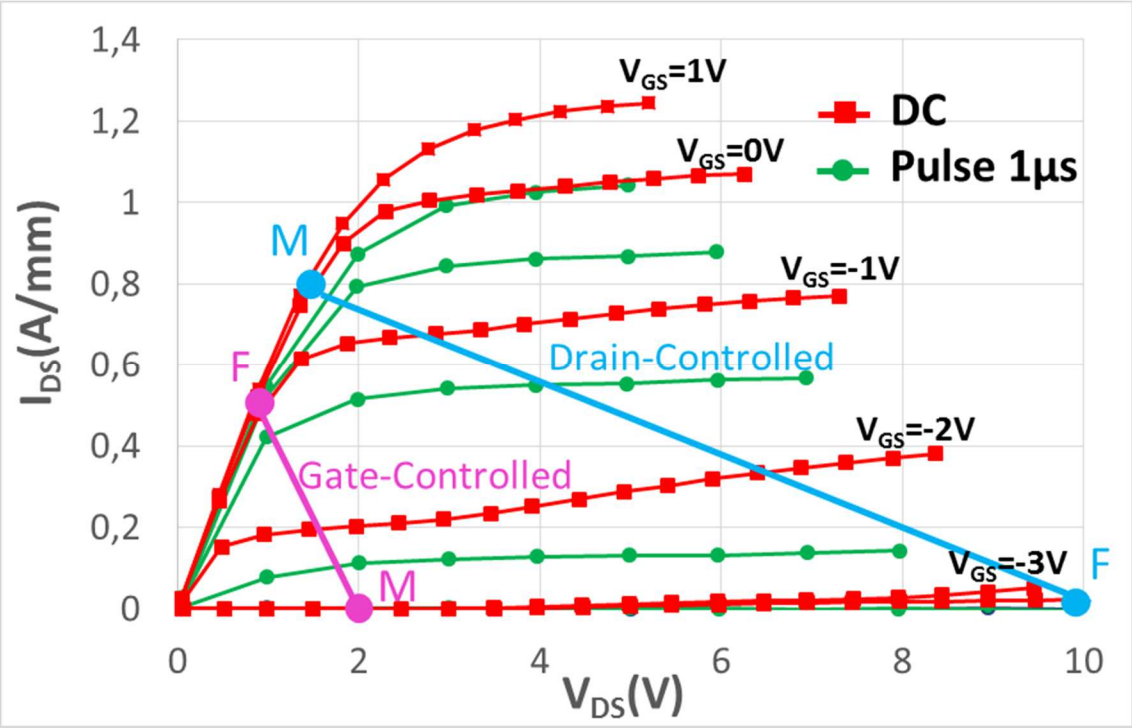


Figure II.6 : Réseaux I-V en mode pulsé et continu effectués sur un HEMT InAlN/GaN.

➢ <u>Méthode de relaxation isotherme</u>

La méthode de relaxation isotherme, introduite par P. Audren [48], se base sur l'étude des transitoires de courant et non plus des transitoires de capacité. En effet, la méthode « boxcar », illustrée sur la *Figure II.5* pour les transitoires de capacité, présente un inconvénient en ne choisissant que deux instants de mesure, ce qui ne permet pas forcément de bien différencier les pièges détectés. Entre les deux instants de mesure, il peut y avoir plusieurs pièges différents qui entraînent des variations dans les transitoires observés, d'autant plus si la fenêtre temporelle est grande. Avec la méthode « boxcar » simple et en ne cherchant pas à vérifier les résultats en déplaçant les deux instants de mesure, on ne prend en compte que la variation globale du transitoire observé. L'idée de la méthode de relaxation isotherme est donc d'échantillonner alors la réponse du courant non plus à deux instants mais dans sa globalité, à de nombreux instants. Si le signal présente *n* variations qui se dégagent, on comparera le signal échantillonné avec une formule mathématique incluant *n* constantes de temps et dont le résultat devra se superposer au signal échantillonné. On extrait ensuite les constantes de temps de ces deux pièges en prenant en compte les paramètres extraits de l'expression mathématique.

- Current transient methodology

Le principe de cette méthode reste le même que pour la relaxation isotherme, mais ici on n'essaie plus de déterminer au préalable le nombre de constantes de temps détectées. Le signal échantillonné va être comparé avec une suite composée d'une grande somme d'exponentielles en utilisant une méthode des moindres carrés: $|I_{données} - I_{ajustée}|^2$, avec $I_{ajustée}$ décrite dans l'équation (2.8) [49]. Lorsqu'une bonne correspondance est trouvée, les paramètres de la formule mathématique obtenue sont extraits et renseigneront sur la nature, l'amplitude, et les constantes d'émissions des pièges détectés (*Figure II.7*). Cette méthode permet de bien découper le signal échantillonné afin de ne pas être trop sensible aux erreurs d'approximation.

$$I_{ajustée} = \sum_{i=1}^{n} a_i \cdot \exp\left(\frac{-t}{\tau_i}\right) + I_\infty \qquad (2.8)$$

Avec les a_i qui sont les paramètres à ajuster et les τ_i qui correspondent aux constantes de temps prédéfinies.

Image sous copyright. Voir figure 2 de la publication [49].

Figure II.7 : Exemple de détection via la méthode de transitoire de courant [49]. *a) Signal temporel d'un transitoire de courant créé artificiellement à partir de l'équation affichée superposée à la courbe obtenue via la formule mathématique donnée à l'équation 2.8. b) Spectre temporel extrait de la courbe ajustée avec différents nombres d'exponentielles utilisés (n=20, 50, 100, 500).*

II.3. Deep Level Optical Spectroscopy (DLOS)

La méthode DLOS s'inspire fortement de la DLTS mais permet entre autre d'extraire des pièges plus profonds, en termes de niveau d'énergie. En effet, plus un piège possède une énergie élevée, plus sa constante d'émission est grande. Pour mieux pouvoir le détecter, on peut alors élever la température ce qui a pour effet d'accélérer l'émission. Mais il est parfois impossible d'augmenter suffisamment la température pour des raisons purement techniques ou de risques de dégradations. Or, en exposant les pièges à certaines longueurs d'ondes, on peut apporter l'énergie nécessaire à l'émission de ces pièges [50]. Ainsi, cette méthode se base sur la mesure de la dérivée des changements de la photo capacité lorsque l'on scanne en même temps l'énergie de la source lumineuse.

On distingue trois variantes qui diffèrent dans l'application des conditions initiales (cf. *Tableau II.1*): la DLOS électrique, la DLOS thermique et la DLOS optique. Dans le cas de la DLOS électrique, les conditions initiales sont fixées par l'envoi d'impulsions électriques commandées, tandis que dans le cas de la DLOS thermique, le paramètre de contrôle est la température et on choisira d'appliquer des températures élevées. Enfin, dans le cas de la DLOS optique, l'application d'un second faisceau de lumière à forte intensité servira d'excitation.

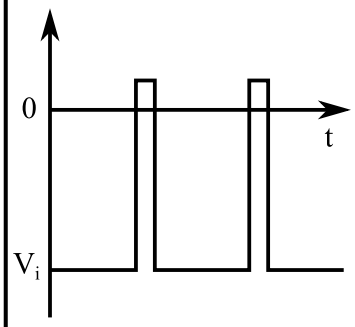
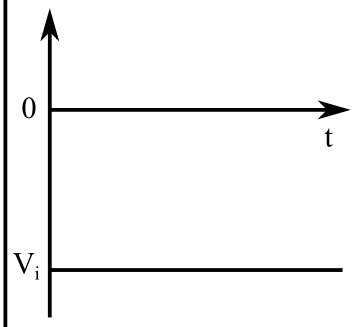
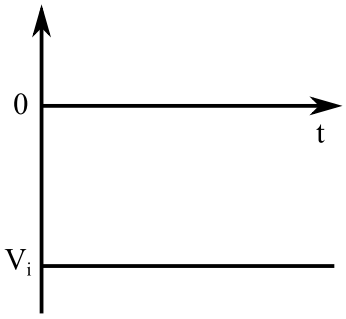
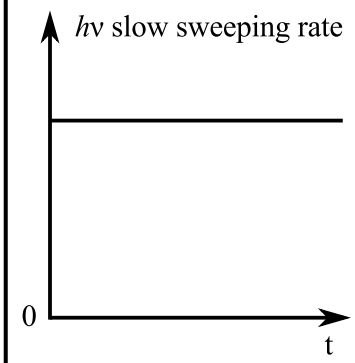
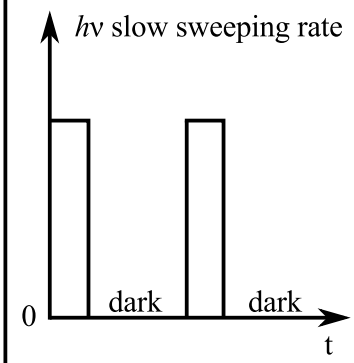
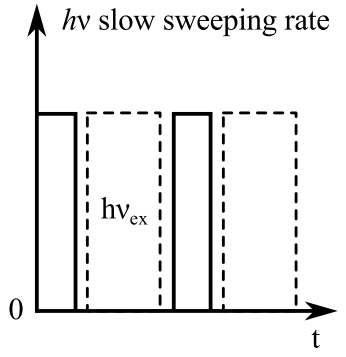
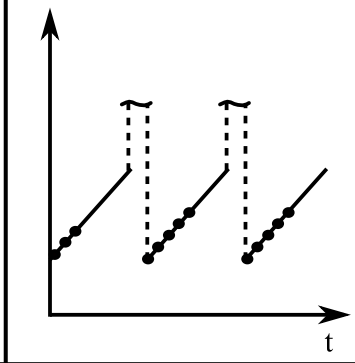
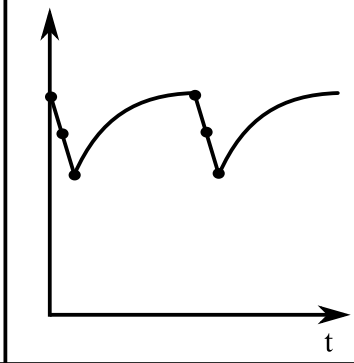
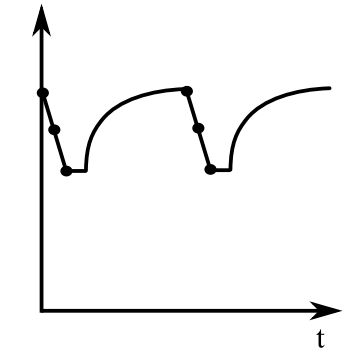
L'énergie du spectre lumineux E étant donnée par la relation (2.9) et les plus petites longueurs d'onde v du spectre lumineux étant de l'ordre de la centaine de terahertz, on ne pourra appliquer des faisceaux d'énergie inférieure à ~ 0.4eV, ce qui a comme inconvénient de ne pas permettre de détecter les pièges peu profonds.

$$E = \hbar \times \nu \qquad (2.9)$$

Avec $\hbar$ la constante de Planck réduite en J.s : $\hbar \approx 4.1343359 \times 10^{-15}$.

Le *Tableau II.1* résume les caractéristiques des trois méthodes de DLOS électrique, thermique et optique.

Tableau II.1 : Résumé des trois méthodes d'utilisation de la DLOS

	DLOS ELECTRIQUE	DLOS THERMIQUE	DLOS OPTIQUE
POLARISATION V			
FLUX DE PHOTONS Φ			
CAPACITE C			
T	T = **const** (basse température)	T = **const** (haute température)	T = **const** (basse température)
DONNEES	T est le paramètre	Pas de paramètre	$h\nu_{ex}$ (excitation) est le paramètre
	Echantillonnage, moyennage, évaluation de $\left\{\frac{d}{dt}\Delta C(t)\right\}_{t=0}$, correction du flux de photons		

II.4. Dispersion fréquentielle

Les méthodes de détection de pièges évoquées précédemment dans ce chapitre utilisent le temps comme échelle de mesure mais on répertorie également des méthodes de mesure basées sur la dispersion fréquentielle de certains paramètres [51]–[55]. Dans ce cas, le principe est d'effectuer un balayage en fréquence sur le composant et de relever certains paramètres témoins. En effet, certaines caractéristiques des transistors sont plus sensibles aux effets de pièges et l'étude de leurs variations permet l'identification des pièges.

Dans la littérature, une des caractéristiques les plus utilisées est la transconductance (g_m). En effet, par définition, la transconductance reflète le taux de variation du courant de drain I_D par rapport à la tension V_{GS} appliquée. D'autre part, les résistances des régions Grille-Source et Grille-Drain dépendent de la taille de la surface déplétée W_S qui dépend également de la qualité des états de surface occupés. Donc si la qualité des états de surface varie à cause des effets de pièges, la transconductance variera également.
De même la conductance de sortie (g_d) entre le drain et la source est, elle aussi, très sensible aux états de charges puisqu'elle est également l'image des variations du courant de sortie, mais cette fois seulement vis-à-vis de la variation de la tension drain-source V_{DS} appliquée. Nous nous sommes tout particulièrement intéressés à ce paramètre du composant dans le cadre de cette thèse.

III Caractérisation basse fréquence de l'admittance de sortie

III.1. Objectifs

Les paragraphes précédents ont montré que, l'étude des pièges et défauts présents dans le matériau visant à rechercher leur identification et leur localisation, est essentielle pour comprendre les diverses interactions néfastes au bon fonctionnement du composant. Les objectifs de ces études sont d'aider à améliorer les étapes technologiques ou encore de choisir les meilleurs points de polarisation.

L'admittance de sortie Y_{22} du transistor comprend entre autre la conductance de sortie notée g_d qui se révèle être sensible aux effets de pièges. Quelques études ont pu noter une dispersion fréquentielle de ce paramètre Y_{22} [53], [55]–[57]. Nous montrerons dans ce qui suit que nous observons également une forte dépendance de l'admittance de sortie aux effets de pièges et plus nettement de la susceptance (partie imaginaire de Y_{22}), que l'on notera *Imag(Y_{22})* dans la suite du chapitre.

D'autre part, il est avéré que les constantes de temps d'émission des pièges peuvent être relativement lentes, de l'ordre de la microseconde à la seconde. Ces constantes de temps correspondent donc à de basses fréquences, entre le Hertz et le Méga Hertz. Or, même si ces effets sont situés en basse fréquence, ils affecteront également le comportement en haute fréquence des composants (drain-lag lors du déplacement de la polarisation en fonction du cycle de charge RF, transitoires dégradant une série d'impulsions RF transmises,…). Nous nous intéresserons donc au comportement en basse fréquence de nos transistors.

Dans ce travail de thèse, nous nous sommes penchés sur une étude de la dispersion fréquentielle du paramètre Y_{22} plutôt que sur une technique DLTS car celle-ci, bien qu'étant moins employée, permet d'obtenir une sensibilité élevée associée à un mode opératoire simple. En effet, l'utilisation d'un Analyseur de Réseau Vectoriel (ARV) permet d'obtenir une grande dynamique de mesure et ces mesures peuvent être directement réalisées sous pointes.

III.2. Modélisation petit signal des effets de pièges

Le moyen le plus simple de modéliser le comportement d'un piège est de l'assimiler à un réseau *RC* en série. En effet, de même que le piège capte et réémet un électron, le réseau *RC* se charge et se décharge avec comme constante de temps le produit *RC*. La constante de temps d'émission du piège τ_{n1} repose alors sur les éléments r_{n1} et C_{n1} ainsi que le montre la *Figure II.8*. Cette modélisation peut être retrouvée dans diverses études [58]–[61].

- Cas pour un piège

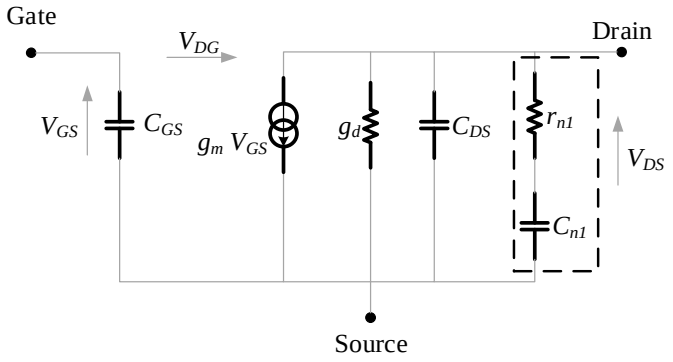


Figure II.8 : Modèle petit signal d'un HEMT avec un réseau RC rajouté pour la modélisation d'un piège.

Soit Z_{n1}, l'impédance résultante de la mise en série d'une résistance r_{n1} et d'un condensateur C_{n1} :

$$Z_{n1} = r_{n1} + \frac{1}{j.C_{n1}.\omega} = \frac{1}{g_{n1}} + \frac{1}{j.C_{n1}.\omega} = \frac{g_{n1} + j.C_{n1}.\omega}{j.g_{n1}.C_{n1}.\omega} \qquad (2.10)$$

$$= \frac{1 + j.\tau_{n1}.\omega}{j.\mathrm{C_{n1}}.\omega}$$

Avec $$g_{n1} = \frac{1}{r_{n1}} \text{ et } \tau_{n1} = \frac{C_{n1}}{g_{n1}} \quad (2.11)$$

Aux basses fréquences, l'admittance de sortie Y_{22} du modèle linéaire à un piège de la *Figure II.8* se simplifie en :

$$\begin{aligned} Y_{22} = \; g_d + \frac{1}{Z_{n1}} &= g_d + \frac{j.\mathrm{C_{n1}}.\omega}{1 + j.\tau_{n1}.\omega} \\ &= \left(g_d + \frac{\mathrm{g_{n1}}.(\tau_{n1}.\omega)^2}{1 + (\tau_{n1}.\omega)^2}\right) + \frac{j.\mathrm{g_{n1}}.(\tau_{n1}.\omega)}{1 + (\tau_{n1}.\omega)^2} \end{aligned} \quad (2.12)$$

On s'aperçoit donc que l'équation (2.12) permet de retrouver la constante de temps τ_{n1} du réseau *RC* de piège en analysant la courbe de la partie imaginaire de Y_{22}. La courbe représentative de cette fonction forme un lobe centré sur la fréquence image de la constante de temps τ_{n1} du réseau *RC*. Mathématiquement, pour déterminer le maximum de cette fonction (donc le maximum du lobe sur la courbe) il suffit de calculer sa dérivée par rapport à ω et de retrouver la fréquence pour laquelle elle s'annule. Ainsi, la dérivée de la partie imaginaire de Y_{22} dans (2.12) donne :

$$\begin{aligned} \frac{d}{d\omega}(\mathrm{Imag[Y_{22}]}) &= \frac{d}{d\omega}\left(\frac{g_{n1}\left(\omega\frac{C_{n1}}{g_{n1}}\right)}{1 + \left(\omega\frac{C_{n1}}{g_{n1}}\right)^2}\right) \\ &= \frac{d}{d\omega}\left(\frac{\omega\frac{C_{n1}}{g_{n1}}}{1 + \left(\omega\frac{C_{n1}}{g_{n1}}\right)^2}\right) = \frac{Num}{Den} \end{aligned} \quad (2.13)$$

$$\begin{aligned} Num &= C_{n1}\left(1 + \left(\omega\frac{C_{n1}}{g_{n1}}\right)^2\right) - C_{n1}\omega.2.\frac{C_{n1}}{g_{n1}}.\omega.\frac{C_{n1}}{g_n 1} \\ &= \; C_{n1} - C_{n1}.\left(\omega\frac{C_{n1}}{g_{n1}}\right)^2 \end{aligned} \quad (2.14)$$

$$Num = 0 \Leftrightarrow \omega = \frac{g_{n1}}{C_{n1}} = \frac{1}{\tau_{n1}} = 2\pi.f \quad (2.15)$$

On peut retrouver aussi la fréquence au point d'inflexion sur les courbes de parties réelles en calculant la dérivée seconde (Voir calculs en annexe A.1).

- Cas de 2 pièges

Pour modéliser un deuxième piège, il suffit de rajouter un second circuit RC en parallèle (*Figure II.9*).

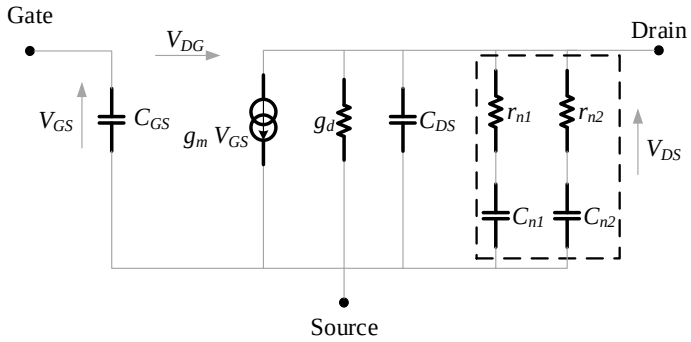


Figure II.9 : Modèle petit signal d'un HEMT avec deux réseaux RC ajoutés pour la modélisation de deux pièges.

En effectuant le même raisonnement que précédemment, il vient (voir détail en annexe A.2):

$$Z_{n1} = \mathrm{r_{n1}} + \frac{1}{j.\mathrm{C_{n1}}.\omega} = \frac{1 + j.\tau_{n1}.\omega}{j.\mathrm{C_{n1}}.\omega} \tag{2.16}$$

$$Z_{n2} = \mathrm{r_{n2}} + \frac{1}{j.\mathrm{C_{n2}}.\omega} = \frac{1 + j.\tau_{n2}.\omega}{j.\mathrm{C_{n2}}.\omega} \tag{2.17}$$

$$Y_{22} = g_d + \frac{1}{Z_{n1}} + \frac{1}{Z_{n2}} \tag{2.18}$$

$$\begin{aligned}\frac{d}{d\omega}(\mathrm{Imag}[\mathrm{Y_{22}}]) &= \frac{C_{n1} - C_{n1}.(\omega.\tau_{n1})^2}{(1 + (\omega.\tau_{n1})^2)^2} + \frac{C_{n2} - C_{n2}.(\omega.\tau_{n2})^2}{(1 + (\omega.\tau_{n2})^2)^2} \\ &= \frac{Num3}{Den3}\end{aligned} \tag{2.19}$$

$$\begin{aligned}Num3 = 0 \Leftrightarrow\ & (C_{n1} - C_{n1}.X_1)(1 + 2X_2 + X_2^2) \\ &= -[\,(C_{n2} - C_{n2}.X_2)(1 + 2X_1 + X_1^2)] \\ &\Leftrightarrow -\omega^6.(\tau_{n1}^4.\tau_{n2}^2.C_{n2} + \tau_{n1}^2.\tau_{n2}^4.C_{n1}) \\ &- \omega^4.(\tau_{n1}^2.\tau_{n2}^2.(2.C_{n1} + 2.C_{n2}) - \tau_{n1}^4.C_{n2} \\ &- \tau_{n2}^4.C_{n1}) - \omega^2.(\tau_{n1}^2.(C_{n1} - 2.C_{n2}) \\ &+ \tau_{n2}^2.(C_{n2} - 2.C_{n1})) + (C_{n1} + C_{n2}) = 0\end{aligned} \tag{2.20}$$

Soit une forme d'équation du type :

$$-\omega^6.a - \omega^4.b - \omega^2.c + d = 0 \tag{2.21}$$

Cette équation peut admettre 6 solutions. Or, pour notre cas particulier de problème physique avec une solution représentant une fréquence, seule une solution positive et non complexe est admissible. Nous trouvons donc comme solution :

$$\omega_{sol} = \sqrt{\frac{\sqrt[3]{2}.b}{3.a.\sqrt[3]{\sqrt{(27.a^2.d+9.a.b.c-2.b^3)^2+4.(3.a.c-b^2)^3}+27.a^2.d+9.a.b.c-2.b^3}} + \frac{\sqrt[3]{\sqrt{(27.a^2.d+9.a.b.c-2.b^3)^2+4.(3.a.c-b^2)^3}+27.a^2.d+9.a.b.c-2.b^3}}{3.\sqrt[3]{2}.a} - \frac{\sqrt[3]{2}.c}{\sqrt[3]{\sqrt{(27.a^2.d+9.a.b.c-2.b^3)^2+4.(3.a.c-b^2)^3}+27.a^2.d+9.a.b.c-2.b^3}} - \frac{b}{3.a}} \quad (2.22)$$

Ce résultat met en évidence la difficulté à distinguer simplement les constantes de temps de chaque réseau *RC* dès lors qu'ils sont multiples. En effet, si les deux constantes de temps sont éloignées, elle pourront aisément être identifiées par les maxima locaux mais si les deux constantes de temps sont trop proches et se confondent, il devient alors impossible de les identifier. Ce principe est illustré en simulation linéaire d'une réponse du paramètre Y_{22} à deux pièges sur la *Figure II.10* : des simulations sont faites pour visualiser la réponse de la susceptance de sortie en fonction de la fréquence pour un modèle à deux pièges dont les constantes de temps sont plus ou moins espacées. A titre d'exemple, la constante de temps τ_1 du premier piège est figée à 500Hz, puis des simulations sont effectuées pour plusieurs valeurs de la constante de temps τ_2 du second piège.

La *Figure II.10* montre nettement que pour τ_1 = 500Hz et τ_2 = 1kHz, les deux constantes de temps sont trop rapprochées pour obtenir deux lobes distincts. Les deux pièges ont mutuellement de l'influence et on ne retrouve qu'un lobe d'amplitude égale à l'amplitude du premier piège plus celle du deuxième piège. Le maximum étant positionné entre les deux constantes de temps, c'est-à-dire autour de 800Hz.

A l'inverse, quand τ_2 = 10kHz est assez éloigné de τ_1 = 500Hz, on retrouve cette fois deux lobes distincts mais il y a toujours un décalage du maximum des deux lobes qui sont « attirés » mutuellement. La valeur maximale du premier pic est légèrement plus haute en fréquence et celle du deuxième pic plus basse en fréquence que souhaitée.

Pour les deux autres simulations à τ_2 = 200kHz et τ_2 = 1.3MHz très éloignées de τ_1 = 500Hz, on retrouve à nouveau les lobes centrés sur les τ_2 imposés et les amplitudes maximales correspondant bien à $g_{n1}/2$ et $g_{n2}/2$.

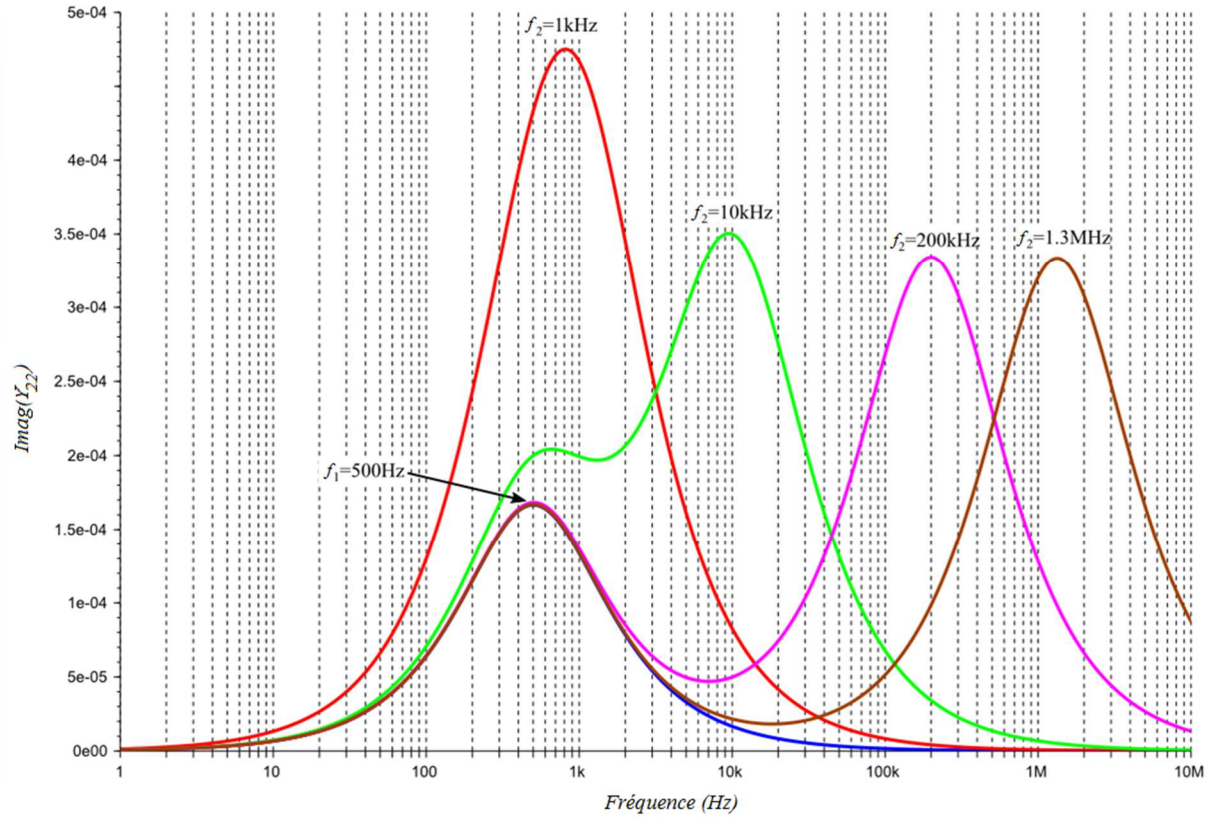


Figure II.10 : Simulations avec l'outil Scilab de la réponse en fréquence de la susceptance de sortie incluant 2 pièges, pour diverses valeurs de τ_2 (0, 1kHz, 10kHz, 200kHz, 1.3MHz).

III.3. Equations physiques et extraction des signatures des pièges

Au paragraphe précédent, nous avons modélisé un piège par un réseau *RC* en assimilant la constante de temps du réseau *RC* ajouté au modèle à la constante de temps d'émission d'un piège présent dans la structure [57]. Mais, pour identifier clairement un piège, il faut être capable de donner ses caractéristiques complètes : l'énergie d'activation, la section efficace de capture et la densité. Ces trois caractéristiques définissent ce qu'on appelle la « signature » du piège.

L'énergie d'activation (en eV) correspond à la position du piège en termes d'énergie dans la bande interdite du composant entre la bande de conduction et la bande de valence. La section efficace de capture est le reflet de la taille du piège (en cm²), c'est-à-dire son « rayon » d'action. La densité définit la répartition spatiale du piège (en $eV^{-1}.cm^{-1}$).

Pour remonter à cette signature à partir de la constante de temps d'émission du piège, il faut reprendre les équations de probabilité de capture et d'émission d'un piège dans un matériau semi-conducteur (voir Chap. I.III.2.a). En reprenant la loi d'Arrhenius et l'équation (1.12), il vient:

$$\ln(\tau_n T_j^2) = \frac{E_a}{k_B T_j} + \ln(\frac{g T_j^2}{\sigma_n N_c v_{th}}) \quad (2.23)$$

Le tracé de $\ln(\tau_n T_j^2)$ en fonction de $(k_B T_j)^{-1}$ étant une fonction affine, un tracé de la droite de régression révélera la signature du piège : la pente de la droite représentera l'énergie d'activation E_a et l'ordonnée à l'origine nous renseignera sur la section efficace de capture σ_n. Aussi, si les constantes de temps extraites, une fois renseignées dans ce graphique ne forment pas une droite, c'est qu'il ne s'agira pas de constantes de temps associées à des phénomènes de piégeage.

Comme
$$N_c = 2 \cdot \left(\frac{2\pi m_n^* k_B T_j}{h^2}\right)^{3/2} M_c \quad (2.24)$$

Avec :

- M_c =1 pour le GaN (nombre de vallées dans la bande de conduction)
- $h = \hbar \cdot 2\pi = 6{,}626 \times 10^{-34}$ m².kg.s^{-1} (constante de Planck)
- k_B = 1,38x10^{-23} m².kg.s^{-2}.K^{-1} (constante de Boltzmann)
- m_0 = 9,11x10^{-31} kg (masse de l'électron)
- $m_n^* = 0{,}2 m_0$ (masse effective dans le GaN)

Donc Nc ≈ 4,317x10^{20} x (T)$^{3/2}$ m^{-3}
≈ 4,317x10^{14} x (T)$^{3/2}$ cm^{-3}
≈ 2,243x10^{18} cm^{-3} à T=300K

Et comme
$$v_{th} = \sqrt{\frac{3kT_j}{m_n^*}} \quad (2.25)$$

Donc v_{th} ≈ 1,507x10^4 x (T)$^{1/2}$ m.s^{-1}
v_{th} ≈ 1,507x10^6 x (T)$^{1/2}$ cm.s^{-1}
v_{th} ≈ 2,611x10^7 cm.s^{-1} à T=300K

On peut ainsi déduire la section efficace de capture en utilisant l'ordonnée à l'origine extrapolée Z :

$$\mathrm{Z} = \ln\left(\frac{g T_j^2}{\sigma_n N_c v_{th}}\right) \Leftrightarrow \exp(Z) = \frac{g T_j^2}{\sigma_n N_c v_{th}} \quad (2.26)$$

$$\Leftrightarrow \sigma_n = \frac{g T_j^2}{\exp(Z) N_c v_{th}}$$

$$\Leftrightarrow \sigma_n = \frac{1 \cdot T_j^2}{\exp(Z) \cdot 4{,}317 \cdot 10^{20} \cdot T_j^{3/2} \cdot 1{,}507 \cdot 10^4 \cdot T_j^{1/2}}$$

$$\Leftrightarrow \sigma_n = \frac{1}{\exp(Z) \cdot 6{,}505719 \cdot 10^{24}} \quad (2.27)$$

Un piège entraîne l'apparition d'un lobe sur les courbes de la susceptance de sortie. Ainsi, on se servira des mesures de la partie imaginaire du paramètre Y_{22} pour identifier les constantes de temps des pièges détectés en retrouvant les fréquences correspondant au maximum du ou des lobe(s) détecté(s) (cf. équation (2.15)).

Puis, sachant que la position du lobe détecté sur la partie imaginaire du paramètre Y_{22} varie en fréquence avec la température, il suffit de moduler la température appliquée au composant pour récupérer plusieurs constantes de temps. Si les valeurs de constantes de temps extraites aux différentes températures vérifient la loi d'Arrhenius et forment une droite, nous pouvons alors extraire l'énergie d'activation et la section efficace de capture par sa pente et son ordonnée à l'origine.

III.4. Simulations physiques

Afin d'évaluer si ce que prédisait le simple modèle de piège présenté ci-dessus était cohérent avec des modèles plus avancés retranscrivant les équations des semi-conducteurs, des simulations dites « physiques » ont été menées par J-C Jacquet, ingénieur au GIE III-V Lab. En effet, ces simulations réalisées avec le logiciel ATLAS de Silvaco se basent sur des équations de la physique du semi-conducteur et apportent des informations capitales pour la compréhension des phénomènes qui rentrent en jeu au niveau électronique et cristallographique.

Le code implémenté décrivait donc la structure d'un HEMT InAlN/AlN/GaN/SiC tel qu'il est fabriqué au III-V Lab. Les mécanismes de génération-recombinaison type Shockley-Read-Hall et les statistiques de Fermi-Dirac ont été activées tandis que les effets d'auto-échauffement ainsi que les effets d'ionisation par impact n'ont pas été implémentés. Le potentiel de surface et les charges de polarisations ont été ajustées afin de correspondre au mieux avec la tension de pincement, la résistance de canal ainsi que la transconductance DC mesurée sur les composants III-V Lab.

Pour cette étude en simulation, nous avons également choisi de n'étudier que l'impact des pièges localisés dans le buffer sur le comportement en petit signal. Ainsi, aucun piège n'a été implémenté dans le modèle physique en surface, ni au niveau de la barrière ou aux interfaces. De cette manière, nous n'avons implémenté que deux pièges dans le modèle physique, l'un donneur, l'autre accepteur, au niveau du buffer en nitrure de gallium. L'énergie d'activation du piège donneur a été fixée à 0,3eV de la bande de conduction et celle du piège accepteur a été fixée à 0,9eV de la bande de valence. Les deux pièges ont été définis avec une même section

efficace de capture de 10^{-15}cm² mais avec des densités différentes : $5x10^{16}$ cm^{-3} pour le piège accepteur et $2x10^{16}cm^{-3}$ pour le piège donneur.

Une fois le code paramétré, nous avons mené une simulation basse fréquence à plusieurs températures (de 100°C à 175°C par pas de 25°C) et nous avons relevé la partie imaginaire du paramètre Y_{22} simulé.

La courbe de la *Figure II.11* affiche un seul lobe entre 1kHz et 1MHz pour chaque température, synonyme d'après nos suppositions, d'un seul piège détecté. Les fréquences des maxima des courbes obtenues à chaque température, permettent d'en déduire la constante de temps d'émission associée et sa variation en fonction de la température. En reprenant l'équation d'Arrhenius (2.23), si les points correspondants aux valeurs de $ln(\tau_n T^2)$ forment une droite de régression linéaire en fonction de $(k_B T)^{-1}$, c'est que les constantes de temps τ extraites correspondent bien à des constantes d'émissions associées à un piège. Pour ces simulations physiques, l'alignement des points sur le graphique d'Arrhenius inséré dans la *Figure II.11* montre donc que ces lobes observés en fréquence sont bien associés à un piège détecté.

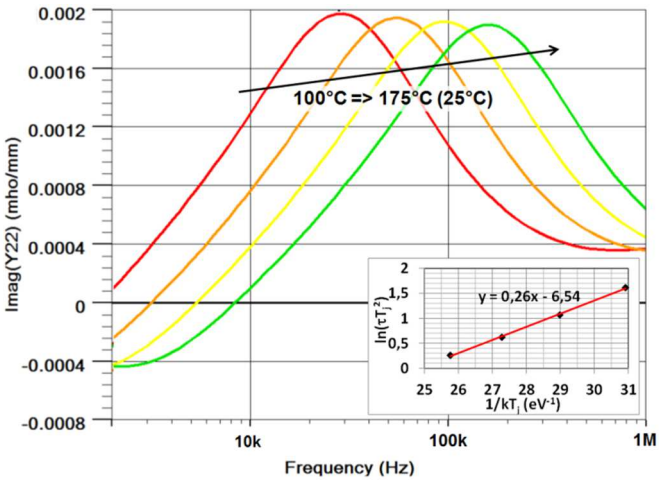


Figure II.11 : Partie imaginaire du paramètre Y_{22} en fonction de la fréquence issue de simulations physiques pour différentes températures. Les fréquences aux maxima des courbes permettent de construire le graphique d'Arrhenius inséré dans la figure.

L'énergie d'activation donnée par la pente de cette droite (*Figure II.11*) passant par les points extraits est de 0.26eV, ce qui correspond à l'énergie du centre donneur implémenté dans le modèle.

Cependant, le centre accepteur n'a pas été détecté avec cette simulation. Une hypothèse est que le piège est peut-être trop profond pour être détecté sous les conditions de champ et de température appliqués.

Nous pouvons tout de même considérer que cette simulation physique confirme, au moins qualitativement, que l'on peut détecter un piège et extraire son énergie d'activation par l'utilisation de cette technique.

Les travaux sur ces simulations physiques sont donc très importants et doivent être poursuivis conjointement aux mesures pour être capable d'expliquer les phénomènes mis en jeu. L'inconvénient est que ces études et simulations physiques sont longues et complexes et doivent faire l'objet d'un temps de recherche entièrement dédié incompatible avec les autres objectifs de cette thèse.

IV Résultats de mesure & discussions

Ces travaux de thèse émanent de travaux antérieurs menés en étroite collaboration entre le département C2S2 du laboratoire XLIM et le laboratoire III-V Lab dans le cadre du laboratoire commun MITIC autour de la compréhension et la détection de phénomènes de pièges dans les transistors en technologie GaN [56]. Les mesures réalisées au cours de ces travaux préalables révélaient la présence des lobes sur le tracé de la phase de la conductance de sortie [55]. Or, nous avons vu précédemment que la modélisation mathématique indiquait que les données à exploiter se trouvaient soit dans la partie réelle soit dans la partie imaginaire du paramètre Y_{22}. Dans ce contexte, cette thèse a pour objectif de s'intéresser plus pleinement à la compréhension des effets de pièges et d'en dégager des informations supplémentaires. Pour ce faire, plusieurs types de transistors réalisés au III-V Lab ont été mis à l'étude et caractérisés pour discriminer au mieux les effets visualisés.

Les paragraphes qui suivent vont donc s'attacher à présenter les diverses études menées sur les technologies GaN du III-V Lab ainsi que les résultats ou hypothèses que nous avons pu faire ressortir.

IV.1. Description du banc de mesure et méthodologie

La mesure de dispersion fréquentielle de l'admittance du paramètre Y_{22} repose en premier lieu sur l'utilisation d'un analyseur vectoriel (ARV) [62] opérant depuis les basses fréquences (minimum 5 Hz) jusqu'aux hautes fréquences (maximum 3 GHz). Cet analyseur est également muni d'un té de polarisation interne capable de supporter jusqu'à 100 mA de courant et 40 V de tension. Ce té de polarisation interne est utilisé pour piloter la tension et le courant drain du transistor sous test.

Pour le contrôle de la tension de grille, une simple alimentation continue est utilisée. Un té de polarisation basse fréquence externe est également nécessaire. Celui-ci sera soit fermé sur une charge de 50Ω sur son entrée RF si on réalise une mesure 1 port, ou bien sur le signal hyperfréquence venant de l'ARV pour effectuer une mesure 2 ports.

Toutes les mesures ont été réalisées sous pointes, pour assurer une mesure directement sur le transistor et pouvoir étudier plusieurs transistors d'une même plaquette. Afin de mettre en œuvre la méthode d'extraction des signatures de pièges, la station sous pointes est équipée d'un chuck thermique permettant un contrôle de la température ambiante T_a sur une plage de -65°C à 200°C. Afin d'éviter tout problème de condensation sur le wafer lors des mesures en température, de l'air sec est ventilé en permanence dans l'enceinte.

La calibration de l'ARV est assurée par une méthode SOLT classique, à chaque température, en utilisant des standards « on-wafer ».

La *Figure II.12* présente, sous forme de synoptique, le banc mis en place pour la mesure de dispersion fréquentielle de l'admittance de sortie en fonction de la température.

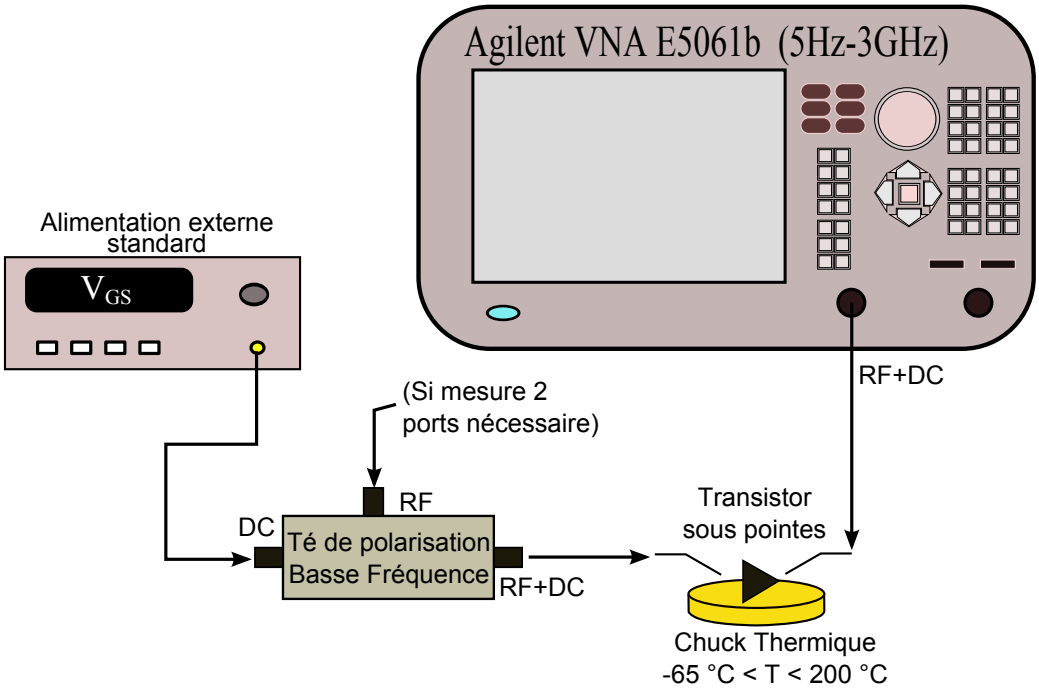


Figure II.12 : Synoptique du banc de mesure mis en place en configuration 1 port.

Afin de rester dans un état bien établi du transistor lors de la mesure, il est important de maintenir le même courant I_{DS} et la même tension V_{DS} appliqués au dispositif sous test. De cette manière, la puissance dissipée restera également la même ce qui, combiné à une mesure faisant varier uniquement la fréquence, permet d'avoir une température stable et facilement

contrôlable. Ce mode opératoire permet de se prémunir contre tout effet dû à la température autre que celui désiré et apporté par le chuck chauffant.

Néanmoins, une modification de la température appliquée au composant est nécessaire pour l'extraction des paramètres de piégeage, ce qui implique que le courant I_{DS} soit obligatoirement affecté puisque la mobilité s'en trouve modifiée. Ainsi, pour une élévation de température, on constate une diminution du courant de sortie. Afin de compenser ces variations, la tension de grille appliquée doit être ajustée : la tension V_{GS} sera alors augmentée lors d'une diminution de courant et inversement.

D'autre part, il faut également bien veiller à différencier la température appliquée et la température de la jonction elle-même. En effet, tout composant dispose d'une résistance thermique et son auto échauffement dépendra donc de celle-ci ainsi que de la polarisation appliquée (eq. 2.28). Pour chaque transistor mesuré, la résistance thermique a été extraite en amont par J-C Jacquet, ingénieur au III-V Lab, via des simulations 3D utilisant la méthode de résolution par éléments finis avec le logiciel Ansys. Ainsi, connaissant la résistance thermique $R_{th|25°C}$ du composant, la température ambiante T_a imposée par le chuck thermique et la puissance dissipée P_{diss}, nous sommes capables d'en déduire la température de jonction T_j selon la formule :

$$T_j = T_a + R_{th} \cdot P_{diss} \tag{2.28}$$

Avec

$$R_{th} = R_{th|25°C} \cdot (1 + \frac{0.54}{100} \cdot (T_a - 25)) \tag{2.29}$$

La valeur de la température de jonction T_j est la valeur de T utilisée dans la formule d'Arrhenius (2.23).

Toutes les mesures ont été effectuées dans une gamme de fréquence allant de 10 Hz à 10 MHz, avec un filtre de largeur 1 Hz et avec une faible puissance RF de -15dBm.

IV.2. Comparaison d'une même famille de HEMTs InAlN/GaN

Cette section fait référence aux mesures effectuées sur des composants réalisés au sein du III-V Lab, en l'occurrence des HEMTs InAlN/GaN sur substrat SiC qui ont été épitaxiés par une technique LP-MOCVD (Low-Pressure Metal-Organic Chemical Vapor Deposition). Le buffer GaN, d'épaisseur 1.4µm, est non intentionnellement dopé, une couche d'AlN d'épaisseur 3nm est insérée entre le buffer et la couche barrière d'$In_{0.19}Al_{0.81}N$ de 6nm d'épaisseur. La couche de passivation déposée par PECVD (Plasma Enhanced Chemical Vapor Deposition), de type Si_3N_4 mesure 250 nm d'épaisseur.

Nous avions à disposition 3 wafers (AEC1669, AEC1893, AEC1903) développés dans le même bâti, mais avec un pourcentage d'InAlN et des étapes technologiques légèrement différents, notamment au niveau du recuit de grille et des contacts ohmiques.

Les *Tableau II.2* et *Tableau II.3* reprennent les principales différences (topologie, procédés technologiques, caractéristiques intrinsèques) entre les trois familles de composants mesurés.

Tableau II.2 : Principales caractéristiques des transistors mesurés

Plaque	Nb doigts	Largeur	Longueur	% In	Ns (cm^{-2})	R□ (Ω)	Vp (V)
AEC1669	8	75 µm	250 nm	18,7	$13,3x10^{12}$	311	-3
AEC1893	2	100 µm	150 nm	21	$14,5x10^{12}$	329	-2,9
AEC1903	2	100 µm	150 nm	20,88	$15,2x10^{12}$	329	-2,7

Tableau II.3 : Principales différences technologiques des transistors mesurés

Plaque	Masque	Contacts Ohmiques	Recuit Grille	Passivation	Isolation
AEC1669	Lynx	Ti/Al/Ni/Au		SiN (240nm)	He
AEC1893	Forzagan	Ti/Al/Ni/Au/Ti/Pt	400°C 2min	SiN (250nm)	Ar
AEC1903	Forzagan	Ti/Al/Ni/Au	500°C 2min	SiN (250nm)	Ar

Les différences observées entre les mesures de ces différentes plaques seront donc forcément liées à ces différents paramètres.

Les mesures, représentées sur les *Figure II.13* a),b) et c), ont été effectuées sur une plage de fréquences allant de 10 Hz à 10 MHz, sous une tension de drain V_{DS}=20V et un courant de drain I_{DS}=100mA/mm (soit 60mA pour les composants AEC1669 et 20mA pour les composants AEC1893 et AEC1903).

Vis-à-vis de l'allure générale des courbes de ces 3 échantillons ainsi que des droites d'Arrhenius, il semblerait que le piège détecté soit bien le même à chaque fois. Cependant, les courbes (*Figure II.13* c)) pour la mesure du wafer AEC1903 montrent que l'amplitude du pic est plus écrasée : après avoir atteint un maximum, l'amplitude ne décroît pas vraiment et ne revient pas à des valeurs proches de 0. Ceci est surtout flagrant pour les courbes à température inférieures à 115°C : autour de 1MHz, il se forme comme un plateau. L'hypothèse que l'on peut avancer est qu'un deuxième piège soit présent, légèrement plus haut en fréquence. L'amplitude des deux pièges se confondrait puis, avec la température augmentant, l'émission du piège plus bas en fréquence se retrouve accélérée et son pic correspondant vient alors englober le deuxième, plus haut en fréquence.

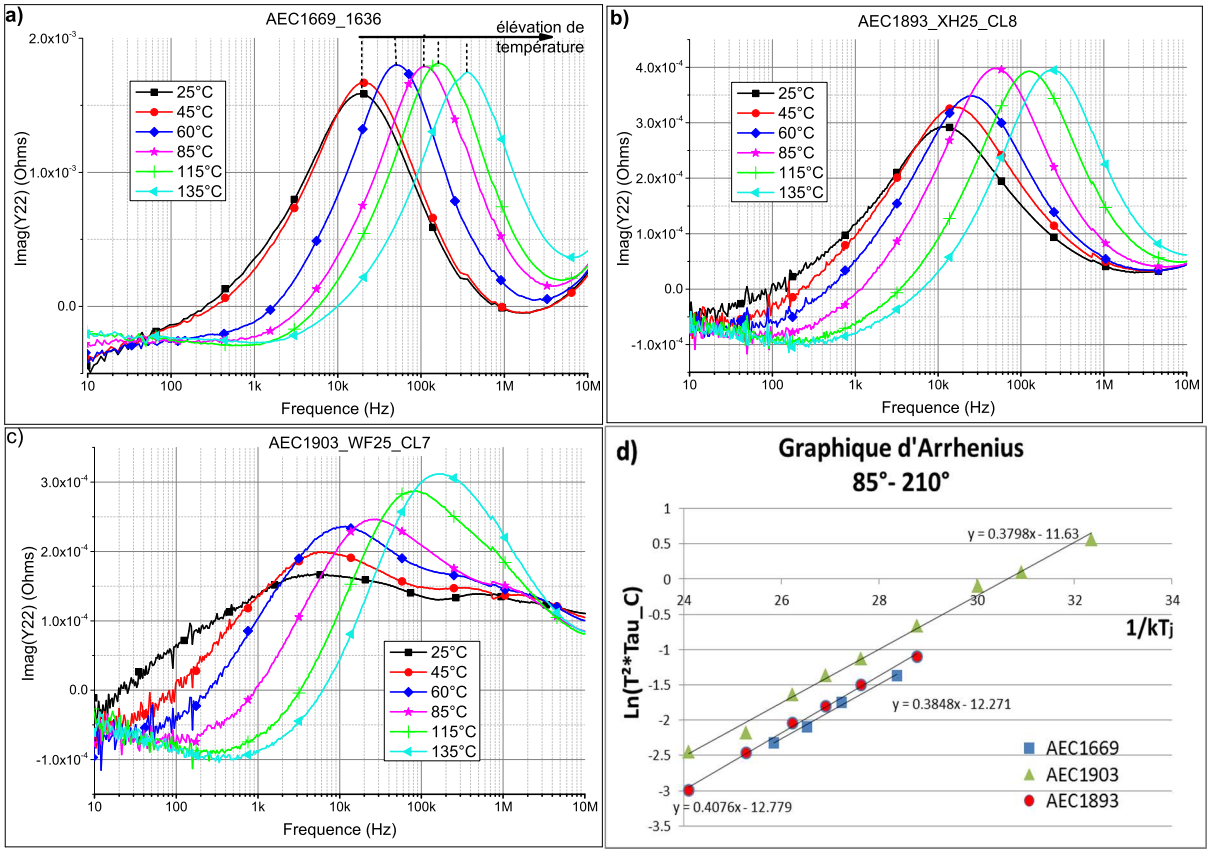


Figure II.13 : Susceptance de sortie pour des composants des plaques a) AEC1669, b) AEC1893 et c) AEC 1903. d) Graphique d'Arrhenius pour les constantes de temps extraites des mesures présentées aux figures a) b) et c).

Ces résultats montrent également que l'amplitude des courbes pour la plaque AEC1669 est au moins 6 fois plus importante que pour les composants des deux autres wafers. Cela résulte du fait que le composant était trois fois plus large (8x75µm contre 2x100µm de périphérie de grille) et donc que le courant appliqué était trois fois plus important. Nous reviendrons sur ce phénomène au paragraphe IV.4.

Il est intéressant de relever que pour ces trois transistors, les courbes ont la particularité de prendre des valeurs négatives en début de bande de fréquence, ceci est peut-être dû à des effets thermiques puisque les fréquences associées aux maxima des « lobes négatifs » ne renvoient pas à une signature de piège.

D'autre part, les valeurs négatives sont 3 à 5 fois plus importantes sur la plaque AEC1669 que sur les deux autres plaques (AEC1893 et AEC193), il y a donc bien un parallèle avec la valeur du courant I_{DS} appliqué.

Nous avons donc extrait ce piège via la méthode décrite au paragraphe III.2 de ce chapitre : chaque lobe présent sur la courbe *Imag(Y_{22})* témoigne de la présence d'un piège. On relève alors

la fréquence f_{pic} correspondant au maximum de ce lobe pour chaque température appliquée, puis on la reporte dans le graphique qui reprend la loi d'Arrhenius.

On dégage alors comme signature du piège une énergie d'activation $E_a \approx (0{,}39 \pm 0{,}02)$eV et une section efficace de capture $\sigma_n \approx 3\text{x}10^{-16}$ cm².

Ce piège semble similaire à celui rapporté dans les travaux de Tartarin et al.[63] puisqu'ils font état d'un piège avec une énergie d'activation de 0.38eV détecté sur des plaques très semblables : HEMT AlGaN/GaN sur SiC développé en MOCVD par le III-V Lab (process TIGER). Cette conclusion est à prendre avec précaution puisque nous avons constaté que ce piège était sensible aux conditions de polarisation et que son énergie d'activation pouvait varier fortement (de 0,5eV pour V_{DS} <15V à 0,28eV pour V_{DS} = 40V). Nous reviendrons sur cette difficulté dans la suite de ce chapitre.

Il ressort toutefois de ce premier exemple que cette méthode est bien répétable car sur 3 wafers sensiblement égaux, des résultats très semblables apparaissent. Cette mesure est également très sensible puisque qu'il existe des différences visibles sur l'allure des courbes entre les échantillons mais aussi entre des températures différentes. Le plus difficile étant désormais d'identifier exactement les causes responsables de ces différences.

IV.3. Cas de composants présentant 2 pièges

Sur certains composants, issus cette fois d'un bâti d'épitaxie différent aux composants AEC, nous avons pu observer 2 pièges bien distincts. À titre d'illustration, nous présentons des résultats issus de la plaque TS502.

Il s'agit d'un wafer InAlN/GaN sur substrat SiC qui a été également épitaxié par LP-MOCVD. Dans le cas de la TS502, le buffer d'épaisseur 1,8µm est dopé avec du carbone et l'épaisseur de la couche d'AlN est diminuée de moitié pour atteindre 1,5nm. La couche barrière est légèrement différente elle aussi car il y a un peu plus d'indium (pour atteindre 19,2%) et l'épaisseur est de 6,4nm contre 6nm pour les AEC.

Les mesures présentées ci-dessous en *Figure II.14* concernent un composant à 2 doigts de grille de 50 µm de large et de 250nm de long, noté « *2x50Lg0,25* ». Les conditions de polarisation sont presque les mêmes que celles utilisées dans le paragraphe précédent sur les composants AEC : V_{DS} = 21V, I_{DS} = 9,5 mA et le courant I_{DS} est maintenu constant en modulant V_{GS}.

Afin d'illustrer les différences de détection des pièges entre la mesure des parties réelles et imaginaires du paramètre Y_{22}, les *Figure II.14* a) et b) comparent ces deux mesures sur ce composant de la plaque TS502.

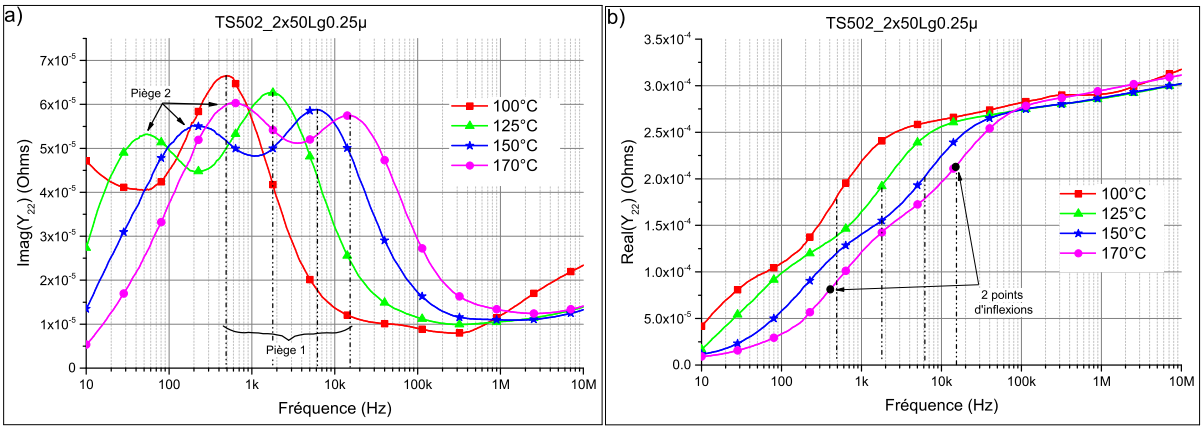


Figure II.14 : a) Mesure de la partie imaginaire du paramètre Y_{22} ; b) Mesure de la partie réelle du paramètre Y_{22}. Les pointillés repèrent les fréquences associées aux constantes de temps d'un piège (dénommé Piège 1) détecté pour chaque température.

Visuellement, il se trouve que les courbes représentant la partie imaginaire (*Figure II.14* a)) sont plus simples à manipuler puisque il est plus évident de trouver le maximum du lobe que le point d'inflexion sur les courbes de partie réelle (*Figure II.14* b)). Nous analyserons donc seulement la partie imaginaire dans ce qui suit.

Sur cet échantillon, l'apparition de deux lobes pour certaines températures sur les courbes de mesure de la partie imaginaire du paramètre Y_{22} témoigne de la détection de deux pièges. En effet, on peut voir *Figure II.14* a) qu'un lobe se décale vers les hautes fréquences au fur et à mesure que la température appliquée augmente (Piège 1) mais on constate aussi l'apparition d'un second lobe, plus bas en fréquence, pour les températures supérieures à 100°C (Piège 2).

L'énergie apportée par la température accélère donc l'émission des pièges ce qui permet de détecter un piège (nommé Piège 2) dont la constante de temps d'émission était trop lente auparavant et donc impossible à visualiser. Plus la température appliquée augmente plus ce deuxième lobe devient visible : il se décale vers des fréquences plus hautes et son amplitude augmente également.

Les tracés d'Arrhenius, présentés *Figure II.15*, révèlent que le piège 1, également détectable pour des températures inférieures à 100°C, a une énergie d'activation E_{a1} = 0,68eV alors que le piège 2, qui apparaît pour des températures plus hautes, a une énergie d'activation E_{a2} = 0,85eV. Le fait que l'énergie d'activation E_{a1} soit inférieure à E_{a2} est compréhensible puisque pour

accélérer l'émission du piège 1 et le rendre visible en basse fréquence, il faut lui appliquer moins de chaleur et donc moins d'énergie que pour le piège 2.

Par contre, les deux sections efficaces de capture sont proches: $\sigma_{n1} \approx \sigma_{n2} \approx 1x10^{-14}cm^2$.

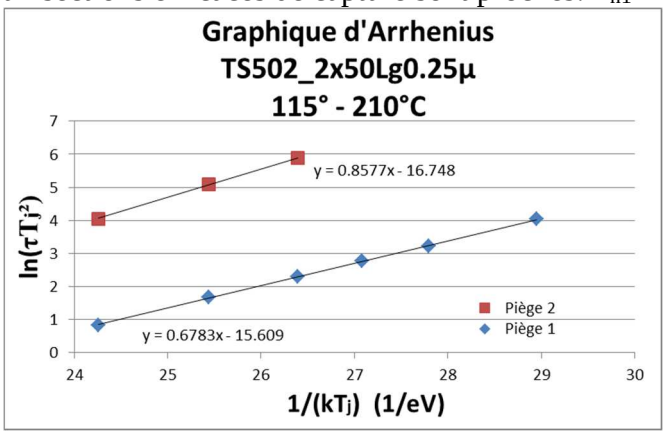


Figure II.15 : Graphique d'Arrhenius pour les deux pièges détectés sur le transistor TS502_2x50Lg0.25µm pour des températures de jonction comprises entre 110°C et 255°C.

Une question subsiste tout de même sur l'exactitude des deux énergies relevées, puisque nous avons vu que deux constantes de temps ont un effet l'une sur l'autre et faussent la localisation des maxima des lobes observés sur les courbes de la partie imaginaire du paramètre Y_{22}. Un premier élément de réponse serait de déterminer, via des simulations, l'intervalle en fréquence minimal qu'il faudrait avoir entre deux lobes pour qu'ils n'interagissent pas.

Il est à noter que les énergies d'activation extraites pour ces deux pièges ne correspondent pas avec celles extraites pour les composants AEC, soulignant les différences technologiques entre les deux familles de wafer, notamment le fait qu'elles n'ont pas été réalisées dans le même bâti d'épitaxie.

IV.4. Influence de la polarisation

IV.4.a. Influence du champ électrique

Pour déterminer si la polarisation appliquée au composant influençait les résultats de nos mesures basse fréquence, nous avons répété certaines mesures mais sous des tensions de drain différentes.

L'état thermique du composant étant un critère important dans cette mesure, nous devions rester à puissance dissipée constante entre les diverses mesures afin de pouvoir les comparer sans erreurs. De ce fait, les mesures sont réalisées pour une puissance dissipée P_{diss} constante de 0,2W.

Les résultats de mesure qui suivent proviennent du même transistor que celui présenté au paragraphe précédent, issu de la plaquette TS502 et noté « *2x50Lg0,25µm* ».

D'après les mesures de dispersion présentées ci-dessous en *Figure II.16* pour différentes valeurs de tension de drain V_{DS}, il est très clair que la tension de drain a une forte influence sur le comportement des pièges détectés. Non seulement l'amplitude du signal mesuré augmente drastiquement mais la position en fréquence du lobe est elle aussi modifiée.

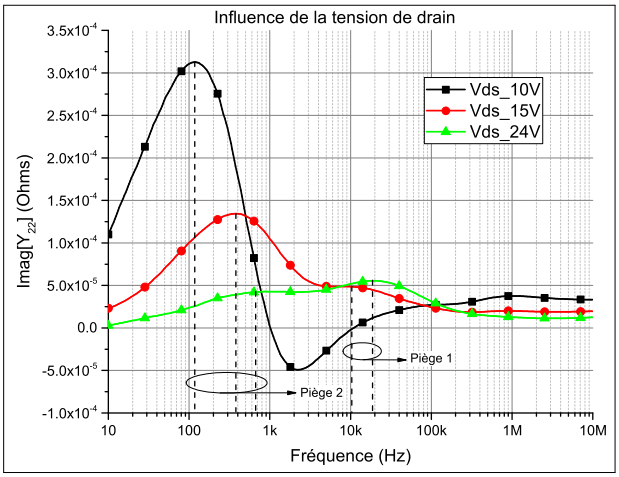


Figure II.16 : Mesures de la partie imaginaire du paramètre Y_{22} en basse fréquence pour différentes tensions de drain appliquées, sur un transistor de développement 2x50µm et de longueur de grille Lg=0,25µm du wafer TS502. Les trois mesures sont réalisées à T_a=170°C et P_{diss}=0,2W.

La *Figure II.16* montre plusieurs effets :

- Les fréquences d'émission des pièges détectés augmentent avec la tension V_{DS} appliquée ; on voit nettement que les lobes se décalent vers les fréquences plus hautes.
- L'amplitude du lobe témoin du piège 2 chute quand la tension V_{DS} augmente : le niveau maximum décroît de 75% entre une mesure à 10V et une mesure à 24V. À l'inverse, l'amplitude du lobe témoin du piège 1 augmente avec la tension V_{DS} appliquée. On peut difficilement observer un vrai lobe pour le piège 1 à 15V. Quant au cas de polarisation à V_{DS} = 10V, on ne distingue plus de lobe pour le piège 1.
- La courbe à 10 V plonge dans les valeurs négatives après 1 kHz pour former un lobe cette fois négatif. Pour retrouver ces formes de courbe, il faut que les éléments r_{n2} et C_{n2} du second réseau *RC* soient tous deux négatifs. Ceci est lié au fait que le modèle *RC* est trop simpliste pour expliquer tous les phénomènes en jeu.

Le fait que la position en fréquence du lobe change avec la tension appliquée est un point particulièrement important : l'énergie d'activation extraite dépend de la fréquence du maximum

du lobe et de la température à laquelle celle-ci est relevée. Or, si la température reste la même mais que la valeur de la fréquence du maximum du lobe change, la valeur de l'énergie d'activation extraite change elle aussi.

Ce résultat nous permet d'avancer que pour des pièges détectés et sensibles à la tension de drain appliquée, nous ne pouvons parler que d'énergie d'activation apparente. Pour avoir l'énergie d'activation propre du piège, il faudrait travailler sous champ électrique nul. Or à V_{DS} = 0V, les pièges ne sont plus chargés et on ne peut plus les détecter.

La mesure « à froid » (V_{DS}=0V, Ta=100°C) de la partie imaginaire du paramètre Y_{22}, illustrée *Figure II.17* ci-dessous, ne montre pas de lobe et donc aucun piège ne peut être détecté. Aucun piège n'a été chargé puisque le champ appliqué est nul. Cette méthode de détection ne peut donc pas être utilisée lors de mesures dites « à froid ».

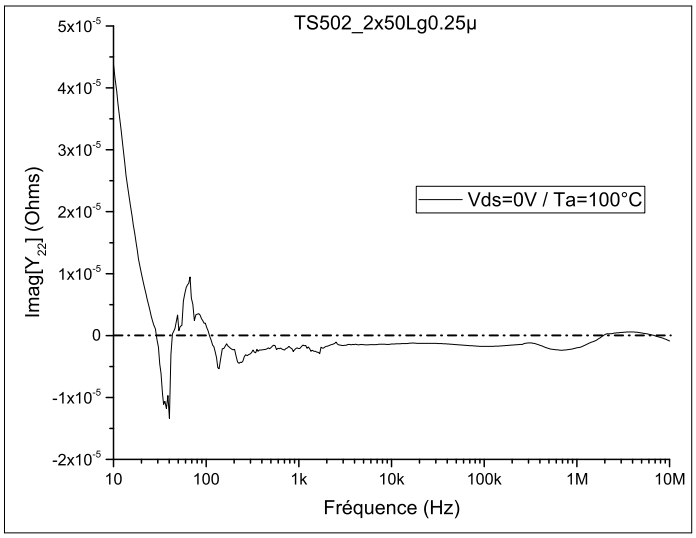


Figure II.17 : Mesure « à froid » de la partie imaginaire du paramètre Y_{22} en fonction de la fréquence, pour une température de chuck T_a=170°C, une tension V_{DS} = 0V et un courant nul.

Le champ électrique appliqué influence donc beaucoup la détection des pièges. Non seulement il va apporter une énergie qui accélèrera l'émission des pièges mais il semble aussi conditionner leur détection. D'après ces mesures, une faible tension de drain permettrait une meilleure détection des pièges plus profonds en énergie d'activation alors qu'il faut plus de champ pour détecter le piège 1 qui est pourtant plus faible en énergie d'activation.

Ce dernier point est sujet à discussion puisque nous verrons par la suite que l'amplitude des lobes est aussi fonction du courant appliqué. Or, dans ces dernières mesures, le courant a varié de 20mA à 8,3mA pour maintenir une puissance dissipée constante.

Durant nos mesures, nous avons également observé que les amplitudes des courbes de partie imaginaire et partie réelle ne varient pas dans les mêmes ordres de grandeur.

En effet, comme le montre les courbes des *Figure II.18* a) et b) ci-dessous, il y a beaucoup plus d'écart en amplitude sur les courbes de partie réelle entre des mesures à différents V_{DS} que pour les courbes de partie imaginaire. L'exemple illustré ici concerne des mesures réalisées à T_a = 100°C pour des V_{DS} de 15V et 24V.

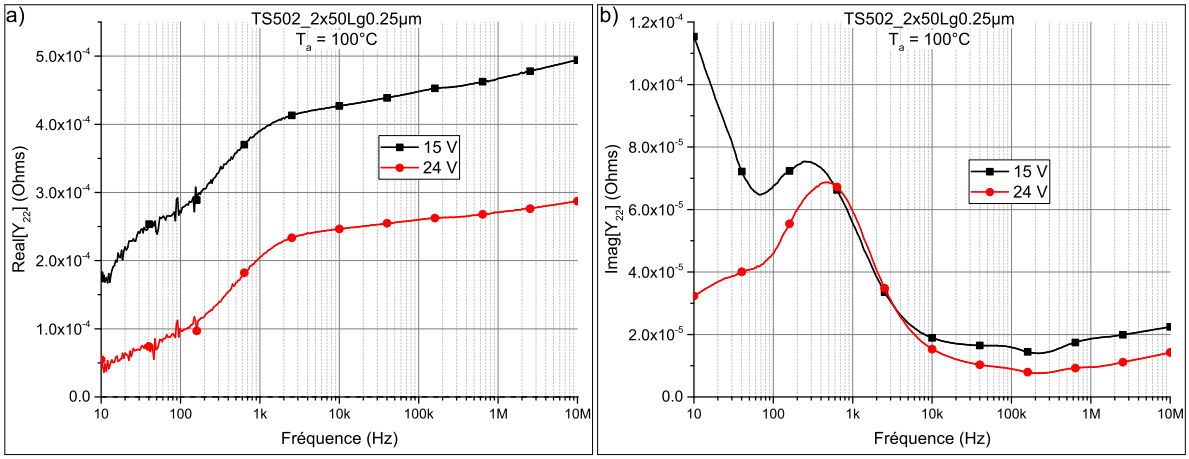


Figure II.18 : Mesures des parties réelle (a) et imaginaire (b) du paramètre Y_{22} en basse fréquence, sur un transistor de développement 2x50µm et de longueur de grille Lg=0.25µm du wafer TS502 à T_a = 100°C et à deux tensions V_{DS} différentes de 15V et 24V.

IV.4.b. Influence du courant de drain I_{DS}

Le premier témoin de l'influence du courant I_{DS} dans la détection de pièges avec notre mesure repose sur le fait que pour des développements différents de transistors, une variation d'amplitude du lobe est observée. A même rapport courant/développement et à la même tension V_{DS} appliquée, deux facteurs changent entre deux mesures : le courant de drain I_{DS} et la puissance dissipée P_{diss}. Or nous avons vu que la température ne fait pas vraiment varier l'amplitude du signal (comme on peut le voir sur la *Figure II.14* a) par exemple). Les changements d'amplitudes observés ne peuvent donc pas seulement être attribués aux variations du courant I_{DS}.

Sur les relevés des *Figure II.19* a) et b) ci-dessous, les lobes ne sont pas trop décalés en fréquence alors que la puissance dissipée n'est plus la même. Ce résultat est compréhensible : les transistors ayant des développements différents, leurs résistances thermiques ne sont pas les mêmes et un composant avec une périphérie de grille plus importante dissipera mieux qu'un autre disposant d'un plus petit développement. Ainsi, lorsqu'on calcule la température de jonction, on s'aperçoit que la température n'est pas si différente entre les deux composants pour

les mesures proposées : il n'y a que 7°C de différence entre la température de jonction du transistor 2x250µm et celle du transistor 2x75µm à la température T_a = 170°C.

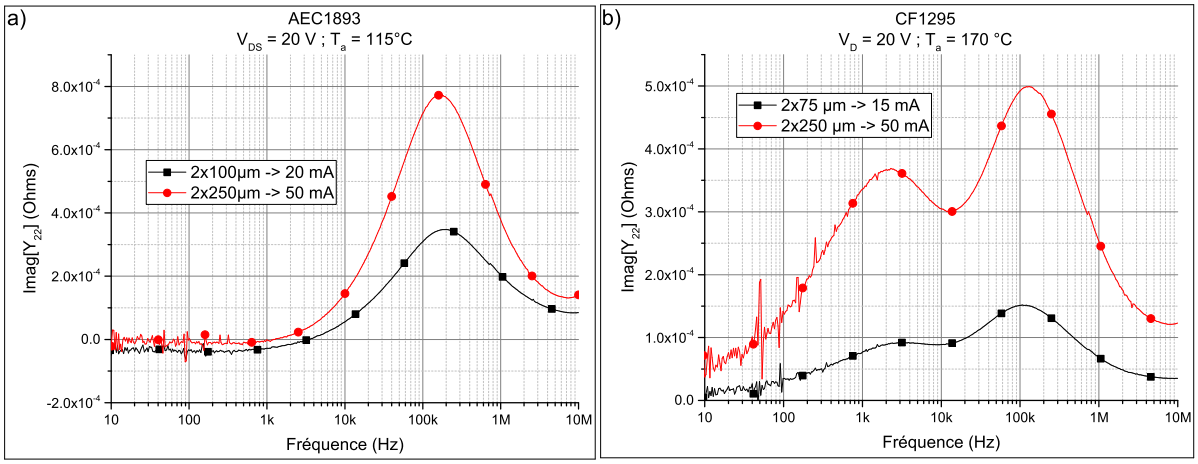


Figure II.19 : Mesures de la partie imaginaire du paramètre Y_{22} à I_{DS} = 100 mA/mm pour deux transistors de développements différents de la plaquette AEC1893 a) et de la plaquette CF1295 b).

Par contre, l'effet du courant I_{DS} sur les résultats de mesures apparaît nettement. Sur la plaque AEC1893 (*Figure II.19* a)), pour un courant (ou développement) 2,5 fois plus petit, on retrouve un lobe 2,2 fois plus petit en amplitude. Sur la plaque CF1295 (*Figure II.19* b)), pour un courant 3,3 fois plus faible, le lobe le plus haut en fréquence est exactement 3,3 fois plus faible en amplitude et le lobe plus bas en fréquence est 4 fois plus faible.

Ceci plaide bien pour une forte corrélation entre courant I_{DS} appliqué et amplitude du lobe du piège détecté.

Compte tenu de cela, la mesure à différentes tensions de drain et à puissance dissipée constante, présentée précédemment en *Figure II.16*, est reprise mais cette fois ci en gardant le courant constant (*Figure II.20* b) et c)). Si les courbes présentent encore des variations d'amplitude nous pourrons alors admettre que la tension V_{DS} appliquée joue elle aussi un rôle.

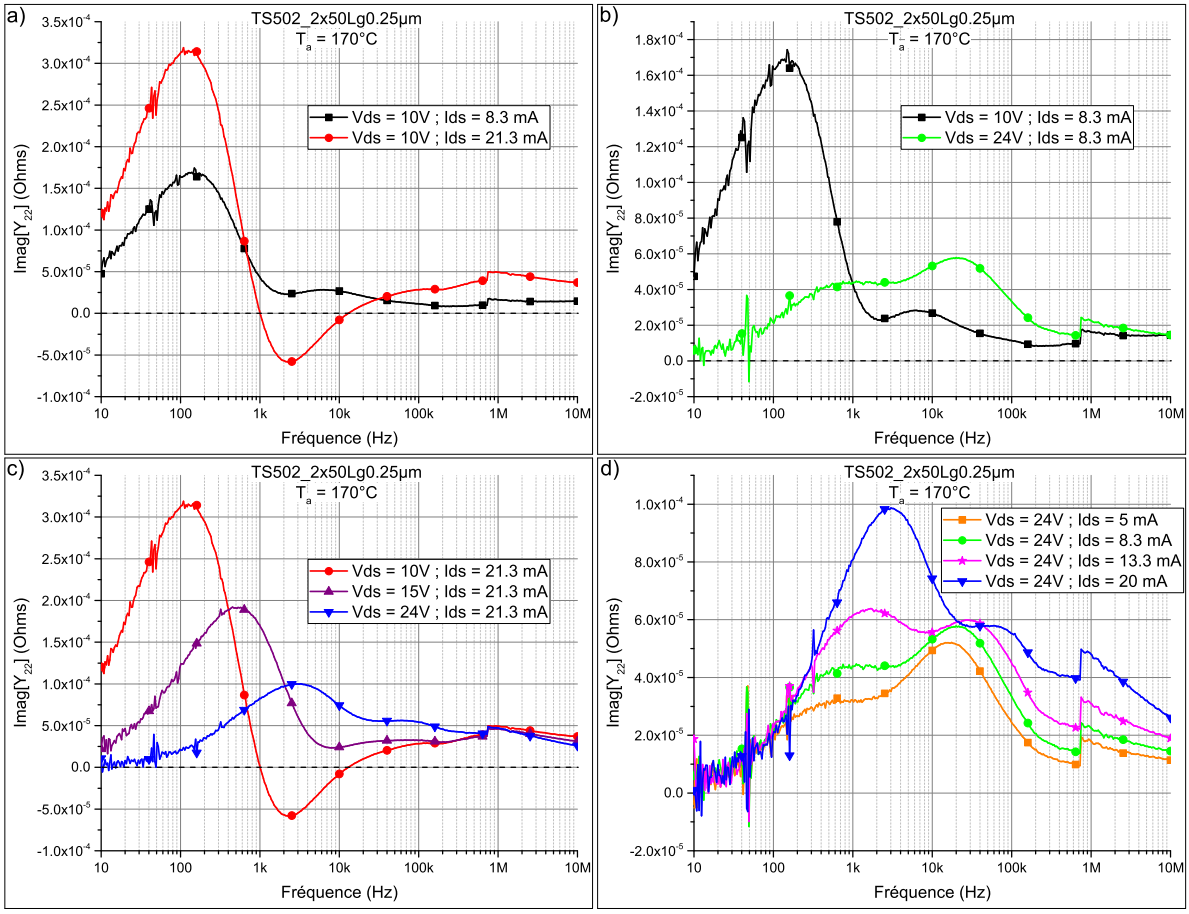


Figure II.20 : Mesures de la partie imaginaire du paramètre Y_{22} sur le composant de développement 2x50µm et de longueur de grille Lg=0.25µm issu du wafer TS502. a) V_{DS} = 10V / I_{DS} variable. b) I_{DS} = 8.3mA /V_{DS} variable. c) I_{DS} = 21mA / V_{DS} variable. d) V_{DS} =24 V / I_{DS} variable.

Vis-à-vis des nouveaux résultats illustrés aux *Figure II.20*, il est clair que le courant est bel et bien lui aussi responsable des variations d'amplitude. Pour deux courbes à tension V_{DS} égale avec une variation du courant I_{DS} (*Figure II.20* a)), on constate que plus le courant est important, plus l'amplitude des lobes augmente. Mais le courant n'est pas le seul responsable de cet effet : la *Figure II.20* b) montre que la tension V_{DS} appliquée joue elle aussi un rôle dans l'amplitude des lobes : à courant constant l'amplitude des lobes dépend de la tension appliquée.

Les *Figure II.20* a) et *II.20* c) soulignent aussi qu'un lobe négatif ne se voit qu'à bas champ et sous un fort courant. En effet, nous n'avons détecté ce lobe négatif pour aucun autre jeu de polarisation.

Sur ces courbes, nous pouvons en outre noter que le lobe présent autour de 20 kHz est plus visible à V_{DS} > 20 V mais que son amplitude ne varie pas beaucoup avec le courant,

contrairement au deuxième lobe plus bas en fréquence qui lui est sensible au courant I_{DS} et à la tension V_{DS} appliquée.

Ces mesures pourraient ainsi permettre de mieux discriminer les différents types de pièges, en fonction de leur réponse aux diverses polarisations appliquées.

IV.4.c. Effet Poole-Frenkel

L'effet dit de Poole-Frenkel a déjà été mis en avant pour expliquer la dérive de l'énergie d'activation des pièges en fonction du champ électrique imposé [64]. Le principe de cet effet est que le taux d'émission augmente de façon exponentielle avec la racine carrée du champ appliqué, ce qui entraîne une diminution de l'énergie d'activation apparente. Le champ appliqué va augmenter la probabilité de réémission du piège en favorisant son retour à la bande de conduction par effet tunnel. On introduit donc un coefficient dit de Poole-Frenkel $\Delta\varphi_{PF}$, dépendant du champ appliqué F, que l'on additionnera à la valeur de l'énergie d'activation apparente relevée $E_a(F)$ pour connaître la valeur de l'énergie d'activation sous champ nul $E_a(0)$.

Mathématiquement cela se traduit par :

$$\Delta\varphi_{PF} = \left(\frac{q^3}{\pi\varepsilon}\right)^{1/2} \cdot \sqrt{F} = \beta \cdot \sqrt{F} \qquad (2.30)$$

Avec q la charge de l'électron et ε la constante diélectrique du matériau.

D'où

$$E_a(0) = E_a(F) + \Delta\varphi_{PF} = E_a(F) + \beta \cdot \sqrt{F} \qquad (2.31)$$

Pour vérifier la loi de Poole-Frenkel par une mesure, nous avons appliqué notre méthode de détection des pièges associée à une variation du champ appliqué, tout en maintenant la puissance dissipée constante. Selon l'équation (2.31) de la loi de Poole-Frenkel, les énergies d'activation apparentes extraites doivent donc s'aligner pour former une droite sur un graphique dont l'abscisse est la racine carrée du champ appliqué F. La pente de cette droite donnera alors le coefficient β de Poole-Frenkel et nous pourrons ainsi remonter à la valeur de l'énergie d'activation à champ nul Ea(0), qui nous l'avons vu, est impossible à déterminer directement avec cette mesure.

Puisque nous n'avons pas le moyen de mesurer le champ appliqué dans le composant, nous admettrons que le champ est proportionnel à la tension V_{DS} appliquée sur une petite plage de tension.

Nous reprenons donc la mesure présentée au paragraphe IV.4.a, effectuée sur le composant de développement 2x50µm et de longueur de grille Lg=0.25µm issu du wafer TS502 mais en faisant varier la température pour chaque tension V_{DS} appliquée de 21V à 24V par pas de 1V.

Ainsi, les énergies d'activation des deux pièges détectées pour quatre tensions de drain V_{DS} sont extraites. Ces nouveaux résultats sont présentés *Figure II.21* a) et b).

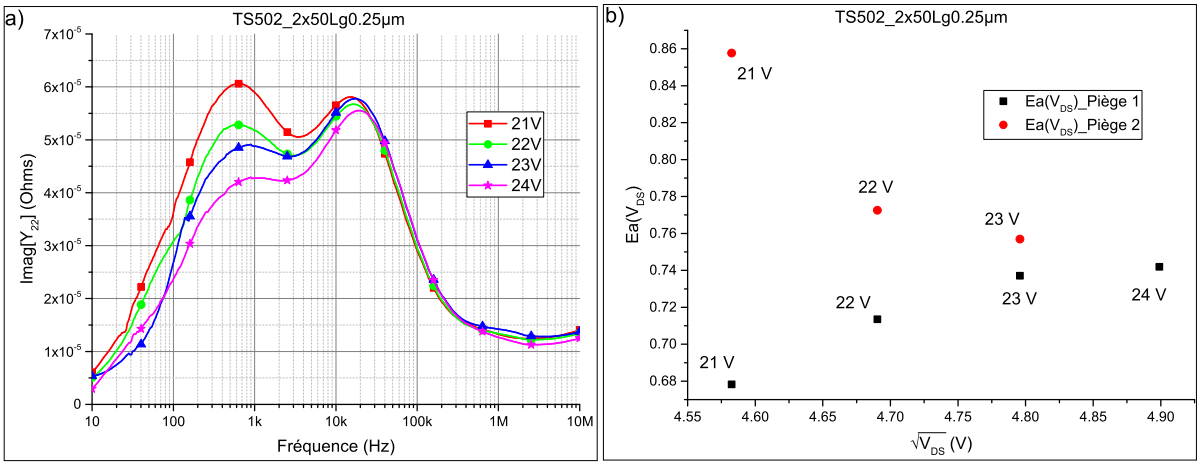


Figure II.21 : a) Mesures de la partie imaginaire du paramètre Y_{22} du transistor de développement 2x50µm et de longueur de grille Lg=0.25µm issu du wafer TS502 à Ta=170°C ; Pdiss=0.2 W pour quatre tensions V_{DS} différentes. b) Energies d'activation apparentes relevées pour les pièges 1 et 2 en fonction des tensions V_{DS} appliquées.

La *Figure II.21* b) révèle que nous n'obtenons pas du tout la droite prédite par la loi de Poole-Frenkel. D'ailleurs, il est même à souligner que les énergies d'activation apparentes relevées pour le piège 1 augmentent avec la tension alors que le contraire était attendu dans cette hypothèse de Poole-Frenkel.

Ces mesures révèlent non seulement le fait qu'il y a d'autres mécanismes qui entrent en jeu que l'effet Poole-Frenkel mais aussi que dans ce cas présent les deux constantes de temps d'émission des pièges détectées étaient trop proches pour ne pas être influencées mutuellement, du moins, à ces tensions V_{DS}.

D'autre part, ce genre de mesures de comparaison à différentes tensions est difficile à mettre en œuvre pour deux raisons :

- les champs électriques, les courants de drain et les températures appliquées au composant lors de chaque point mesuré changent l'état des pièges. Or certains pièges sont très lents à réémettre, si bien qu'il faut parfois plusieurs heures avant de se retrouver dans les conditions antérieures à la mesure. Il reste donc souvent des effets mémoires qui entachent les nouvelles mesures. Il est donc nécessaire de mettre au point avant

chaque campagne de mesure, un protocole clair et bien pensé pour discriminer au maximum les causes possibles des changements d'états des pièges. Il sera ainsi préférable de toujours commencer par des champs électriques faibles avant de les augmenter pour ne pas récupérer des transitoires causés par des pièges chargés à plus haute tension.

- La deuxième raison est que les composants se détériorent plus ou moins vite en fonction de leurs caractéristiques et ces dégradations se font plus rapides avec la température appliquée qui augmente. Il faut donc prendre en compte le potentiel vieillissement entre deux mesures sur des composants issus de technologies non complètement matures.

Pour illustrer ces problèmes, le prochain paragraphe montrera les effets d'un stress DC sur le comportement des pièges.

IV.5. Impact du stress DC sur les phénomènes de piégeage

La fiabilité des composants est un des points critiques et plusieurs méthodes existent pour accélérer le vieillissement des composants afin de prévoir leur temps moyen de bon fonctionnement autrement dénommé MTTF pour Mean Time To Failure. Mais il est tout aussi intéressant d'essayer de connaître les causes de ces détériorations.

Pour cela il convient de se rapprocher de la physique du composant et l'étude des comportements de piégeage peut se révéler être un bon indicateur.

Nous proposons donc d'utiliser la méthode de détection des pièges développée précédemment comme témoin de la dégradation des composants.

Pour cela nous présenterons ci-dessous des mesures comparatives entre des composants « vierges » et les mêmes composants dégradés par stress DC. Les mesures qui suivent concernent des transistors issus du wafer AEC1893 déjà présenté plus haut. Cependant, il s'agit cette fois de composants de développement de grille de 2x250µm avec une longueur de grille Lg de 0,15µm.

La procédure de stress DC consiste à polariser le transistor dans une gamme typique d'application mais pendant des temps très longs, de plusieurs heures et sous des températures élevées. Pour ces mesures, le courant choisi est de 165mA correspondant à $I_{DS} = I_{DSS}/2$ (soit un courant de 330mA/mm), tandis que la tension de drain appliquée V_{DS} est égale à 25V qui correspond à un fonctionnement en classe A.

Nous exposerons deux cas distincts ici :

- Cas 1 : fonctionnement continu pendant t = 4225h, sous une température ambiante T_a = 225°C
- Cas 2 : fonctionnement continu pendant t = 4000h ; sous une température ambiante T_a = 330°C

La différence majeure entre les deux cas est donc que les transistors soumis au cas 1 ont été exposés à une température inférieure à ceux soumis au cas 2.

Pour quantifier de manière classique l'impact de ce vieillissement sur les composants, des mesures I-V ont été réalisées périodiquement pendant le vieillissement, pour surveiller l'évolution du courant de drain I_{DS} (*Figure II.22*).

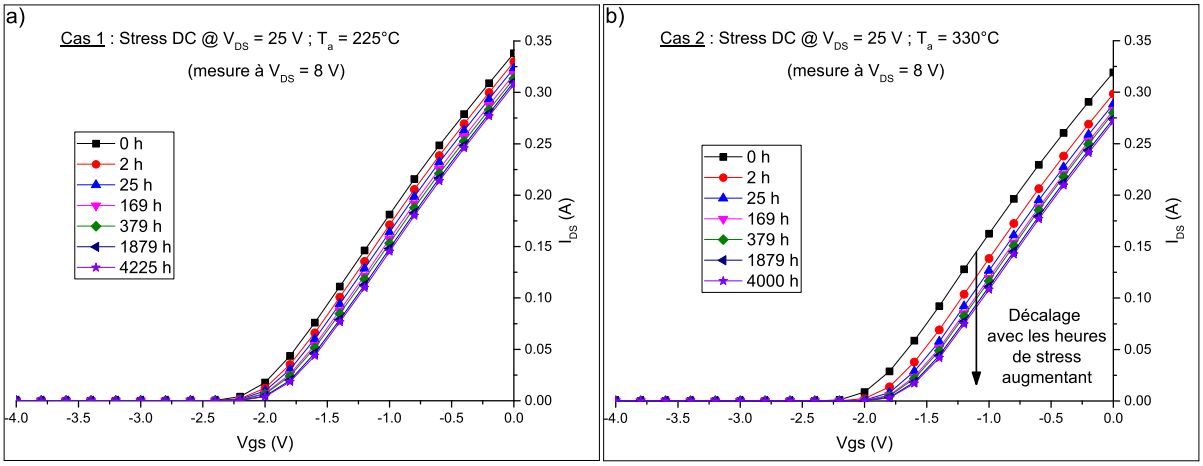


Figure II.22 : Mesures de reprises I-V sur des composants de développement 2x50µm et de longueur de grille Lg=0.15µm issu du wafer AEC1893, vieillis par stress DC. a) Cas 1 : t = 4225h ; T_a = 225°C. b) Cas 2 : t = 400h ; T_a = 330°C.

Ces mesures de reprises I-V montrent que les heures de stress DC vieillissent le composant puisque le courant I_{DS} ne cesse de diminuer au fil du temps et que la tension de pincement V_p augmente également. Sur la *Figure II.22* b), on voit d'ailleurs un net décrochage entre la première courbe à t = 0h et la seconde après seulement 2 heures de stress et au total, entre la première mesure et la dernière après 4000 heures de stress, le courant I_{DS} aura chuté de 15%.

Ces courbes témoignent donc d'une dégradation du fonctionnement DC du transistor. Nous pouvons désormais nous intéresser aux effets de ces deux cas de stress sur les mesures basses fréquences présentées dans ce chapitre.

La *Figure II.23* montre des mesures de partie imaginaire du paramètre Y_{22}, à différentes températures (35°C, 60°C, 85°C et 135°C) sous une polarisation de V_{DS} = 20 V, I_{DS} = 100

mA/mm, pour 3 composants de développement 2x50µm et de longueur de grille Lg=0,15µm issus du wafer AEC1893. Les courbes vertes, identifiées par des carrés, représentent la mesure d'un composant non-stressé. Il s'agit du même transistor que pour la *Figure II.13* a). Les courbes en bleu repérées par des points sont issues d'un composant ayant été stressé dans le cas 1, c'est-à-dire après un stress DC à V_{DS} = 25V, I_{DS} = 165mA, pour une température ambiante T_a = 225°C et pendant un temps égal à 4225 heures. Les courbes en rouge repérées par des triangles proviennent d'un composant mesuré après un stress DC de type cas 2 : pour une même polarisation que le cas 1 mais sous une température de stress plus élevée (T_a = 330°C) et une durée de stress légèrement plus courte (t = 4000 heures).

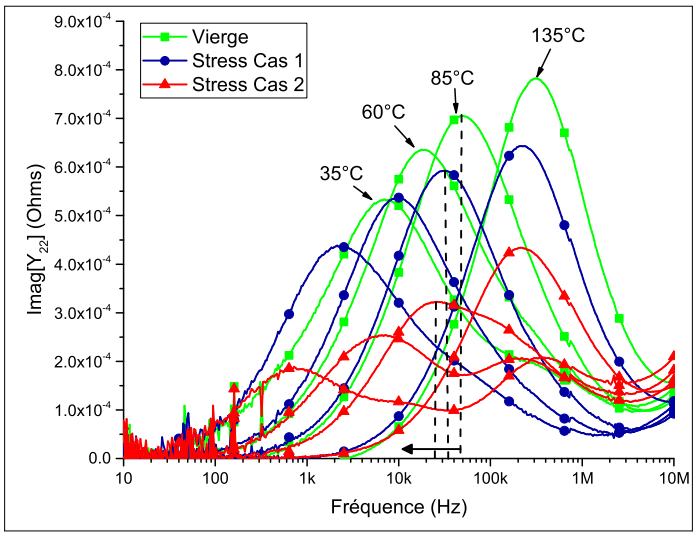


Figure II.23 : Comparaisons de mesures de la partie imaginaire du paramètre Y_{22} sur des composants de développement 2x50µm et de longueur de grille Lg=0.15µm issu du wafer AEC1893, non stressés et stressés en DC. Les traits pointillés montrent le décalage en fréquence pour le lobe détecté à T_a = 85°C en fonction du niveau de stress.

La température de stress influence nettement le comportement des pièges : plus la température de stress est forte plus les amplitudes des lobes s'affaissent et se décalent vers des fréquences plus basses. Pour une mesure à T_a = 135°C, on observe une diminution de 20% du maximum du lobe entre la mesure vierge et celle du Cas 1 et jusqu'à 44% de diminution d'amplitude entre la mesure du composant vierge et celle du Cas 2.

Les formes des lobes de la mesure du cas 2 sont également très différentes et révèlent clairement la présence d'au moins un autre piège. Cet autre piège, visible autour de 1MHz, était déjà perceptible sur le composant vierge pour la mesure à 35°C mais il était « absorbé » par le lobe dominant, alors que les deux sont bien décorrélés à cette même température de mesure pour le cas 2.

Si l'on compare la mesure faite à T_a = 35°C sur les 3 composants, on relève que le maximum du lobe se situe respectivement à 7kHz, 1KHz puis 700Hz pour le cas non-stressé, le cas 1 et le

cas 2. La position en fréquence baisse avec la température de stress, donc on peut dire que le taux d'émission diminue. Cependant, il faut prendre en considération qu'il y a surement beaucoup plus d'interactions entre les lobes des deux pièges détectés pour le cas non-stressé et le cas 1 que pour le cas 2 (cf. III b.). Ainsi, nous ne pouvons pas faire un lien direct entre la variation du taux d'émission et la température de stress appliquée dans ce cas présent. Une température de stress élevée ralentira l'émission du piège mais dans des proportions indéterminables ici.

Nous avons donc bien montré que la méthode de détection des pièges présentée dans ces travaux peut servir de témoin sur le vieillissement des composants. Un plus grand nombre de mesures et un approfondissement plus important sur ces données pourraient grandement servir à la compréhension globale des phénomènes qui entrent en jeu au point de vue de la physique du composant, à la suite de procédures de stress.

Cette méthode de mesure de dispersion du paramètre Y_{22} etant très sensible, on pourrait également s'en servir comme témoin de l'évolution des états des pièges due à divers facteurs. Un exemple relatif aux effets de l'exposition à la lumière de certains composants est rapporté au paragraphe suivant.

IV.6. Mise en évidence de pièges sensibles à la lumière

Après réalisation, l'ensemble des wafers développés au III-V Lab sont caractérisés en tension-courant (mesures I-V). Ces mesures sont primordiales pour révéler les premières performances des transistors et permettront ainsi de mettre en avant rapidement certains défauts.

Suite à une caractérisation I-V, les performances d'un wafer se sont révélées être sensibles au rayonnement lumineux. En effet, soumis à la lumière halogène de la table sous-pointes les caractéristiques électriques de la plaque TS272 se sont trouvées fortement altérées par l'éclairement.

Ce wafer TS272 possède une structure AlGaN/GaN sur substrat SiC qui a été épitaxiée par LP-MOCVD. Le buffer GaN non intentionnellement dopé fait 1,6µm d'épaisseur et il n'y a pas de couche d'espacement entre le buffer et la couche barrière. La couche barrière en $Al_xGa_{1-x}N$ contient 19% d'aluminium et mesure 26,6nm d'épaisseur. Elle comprend également une couche de cap en GaN de 2nm d'épaisseur.

Les mesures présentées ci-dessous portent sur un composant à 2 doigts de grille de 250µm de large et de 700nm de long.

La première expérience, rapportée *Figure II.24*, concerne la mesure I-V d'un des composants du wafer. On compare ici les courants de grille I_g et I_d en fonction de la tension de grille V_g entre des mesures réalisées dans le noir et des mesures réalisées sous éclairage d'une lampe fluorescente blanche.

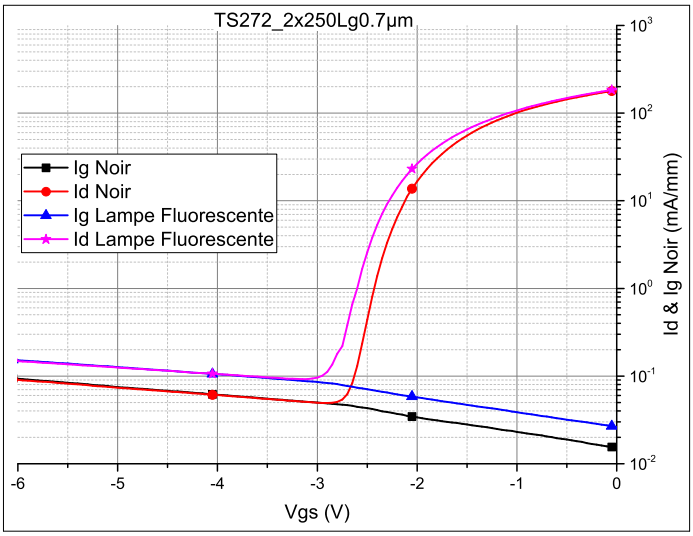


Figure II.24 : Comparaison entre les mesures des courants de drain I_d et de grille I_g en fonction de la tension de grille V_g réalisées dans le noir ou sous une lumière fluorescente blanche.

Sur ces mesures, un net décalage de la tension de pincement apparaît avec également une augmentation des valeurs de I_g et I_d lorsque le composant est exposé à la lumière blanche. La lumière a donc un effet néfaste sur le pincement du transistor favorisant les courants de fuites.

L'augmentation du courant observée lors de l'éclairage du composant peut être expliquée par le fait que certains pièges sensibles à la lumière réémettent plus rapidement grâce à l'énergie apportée par la longueur d'onde du faisceau lumineux.

Nous avons reproduit la méthode de détection des pièges décrite dans ce manuscrit pour tenter de voir des différences sur nos résultats entre des mesures réalisées dans le noir et d'autres réalisées sous éclairage par une lampe halogène. Ces résultats sont présentés dans la *Figure II.25*, les conditions de polarisations appliquées étant : V_{DS} = 20V, I_{DS} = 100mA/mm.

La *Figure II.25* a) montre clairement une dépendance d'un certain piège à l'exposition à la lumière. Le lobe que l'on détectait même dans le noir se retrouve plusieurs décades plus haut

en fréquence quand le composant est exposé à la lumière halogène. Le maximum du lobe passe de 35Hz pour une mesure dans le noir à 250kHz avec l'ajout de lumière.

Un autre lobe, plus bas en fréquence et plus faible en amplitude apparaît également quand la lumière est allumée. Cet autre lobe pourrait aussi correspondre à un piège sensible à la lumière puisqu'il accélère son émission avec elle.

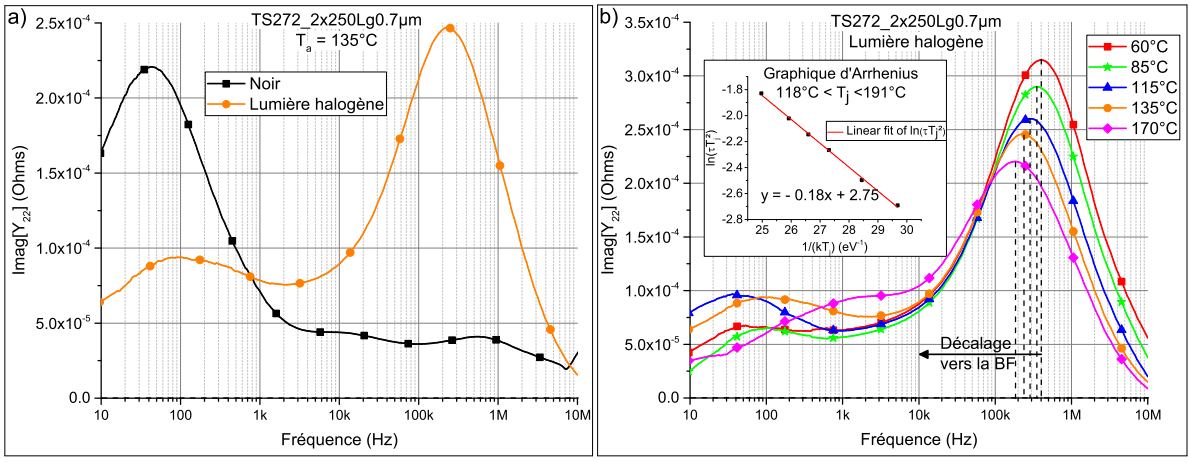


Figure II.25 : Mesure de la partie imaginaire du paramètre Y_{22} pour le composant de développement 2x250µm et de longueur de grille Lg=0.7µm issu du wafer TS272. a) Comparaison de la mesure avec et sans exposition à la lumière halogène. b) Mesures à différentes températures. Les traits pointillés montrent le décalage vers les basses fréquences du maximum du lobe à chaque température. Le cadre ajouté correspond au graphique d'Arrhenius associé.

Un autre fait remarquable est que ce piège (correspondant aux lobes identifiés par des traits pointillés *Figure II.25*), dont l'émission est très fortement accélérée par l'apport d'énergie lumineuse, ne se comporte pas comme attendu en température. En effet, quand tous les autres lobes observés avec cette mesure se décalent vers des fréquences plus hautes lorsque la température augmente, les lobes relatifs à ce piège se décalent vers des fréquences plus basses (*Figure II.25* b)).

La température aurait donc comme effet de ralentir l'émission de ce piège. Pourtant quand les différentes constantes de temps prises à chaque température sont reportées sur un graphique d'Arrhenius, on obtient tout de même une droite bien définie, comme le montre la figure insérée dans la *Figure II.25* b) mais il en résulte une énergie d'activation négative.

Ce genre de réaction peut rappeler les méthodes de DLOS, où certaines longueurs d'ondes appliquées sur l'échantillon mesuré permettent d'exciter certains pièges. Puisque l'énergie

apportée par un rayonnement lumineux vient de sa longueur d'onde, connaissant cette dernière il est possible de remonter au niveau d'énergie du piège excité.

Dans notre cas, l'ampoule halogène émet dans un spectre très large et il serait donc intéressant de savoir quelle longueur d'onde est responsable des variations fréquentielles des lobes dans nos mesures

Nous avons donc mis une simple expérience en place : des diodes électroluminescentes (DELs) de différentes couleurs, donc de différentes longueurs d'ondes, ont été utilisées tour à tour pour répéter la mesure précédente. Puisque nous rétrécissons ainsi le spectre de longueurs d'ondes, nous devrions pouvoir isoler la longueur d'onde en cause.

Nous remplaçons expérimentalement l'ampoule halogène équipant la station de mesure sous pointes par une des DELs en notre possession (Bleue, Verte, Jaune, Rouge ou Blanche).

Les résultats de cette expérience, exposés sur la *Figure II.26*, permettent de voir que le lobe s'est décalé en fréquence lors de l'exposition à la lumière de chaque DEL, mais le décalage en fréquence ne semble pas être fonction de la longueur d'onde.

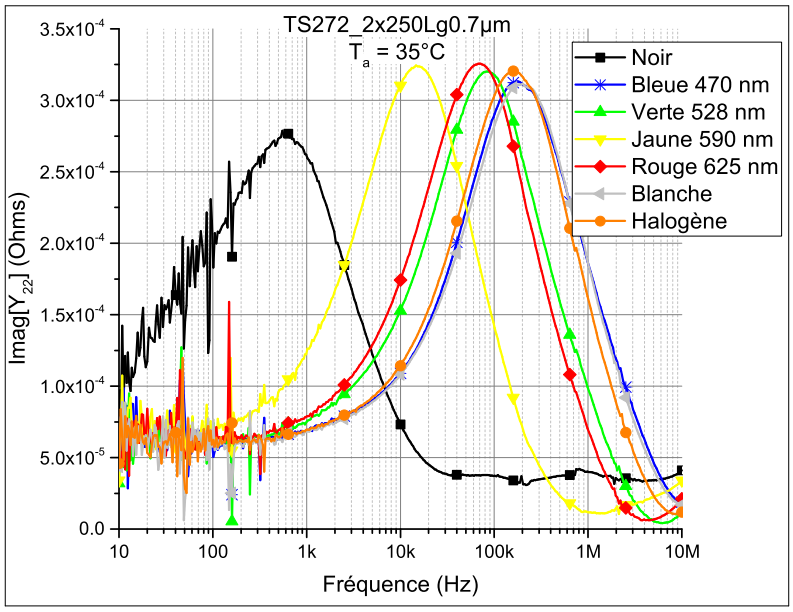


Figure II.26 : Mesure de la partie imaginaire du paramètre Y_{22} sur le composant de développement 2x250µm et de longueur de grille Lg=0.7µm issu du wafer TS272, à T_a = 35°C ; V_{DS} = 20 V ; I_{DS} = 100 mA/mm et pour différentes couleurs d'exposition lumineuse.

Par contre, nous avons pu constater que la position du lobe en fréquence était fonction de l'intensité lumineuse reçue. Or, pour contrôler l'intensité lumineuse, nous ne pouvions que contrôler l'intensité du courant traversant la DEL. Nous avons donc appliqué le même courant

de DEL pour chaque couleur. Le problème est que ces DEL n'ont pas des propriétés identiques et pour un même courant appliqué les DEL n'éclairent pas toutes de la même intensité.
Il était donc impossible de décorréler dans ces mesures la contribution de la longueur d'onde et de l'intensité lumineuse.
Une des voies d'amélioration de ce test serait d'utiliser un système permettant de déterminer l'intensité lumineuse exacte arrivant sur le composant. L'utilisation envisageable d'un monochromateur afin de n'avoir qu'une seule source lumineuse que nous pourrions décomposer par la suite a été avancée. Or, il s'avère qu'une ampoule émettant dans toutes les longueurs d'ondes n'émet pas la même intensité sur l'ensemble de son spectre, ce qui ne permet donc pas de d'affranchir de cette contrainte.

Il semblerait donc que le piège réponde pour toutes les longueurs d'ondes mais que le décalage en fréquence serait seulement dû à l'intensité lumineuse reçue. Un décalage en fréquence impliquerait une accélération ou un ralentissement du taux d'émission. Or, cette variation est normalement produite par un apport d'énergie ce qui serait plus cohérent avec une variation de longueur d'onde.

IV.7. Autres études et expériences sur cette méthode de détection

IV.7.a. Différences entre comportement sur la phase et sur la partie imaginaire du paramètre Y_{22}

Dans le début de ce chapitre, nous avons précisé que la partie réelle du paramètre Y_{22} est difficile à exploiter puisque l'on doit retrouver le point d'inflexion. Cependant, dans certains cas (surtout quand on détecte deux pièges), les variations en amplitude autour d'un point d'inflexion sont plus prononcées que pour le lobe observé en partie imaginaire. Ainsi, reprendre la phase, qui n'est autre que l'arc tangente de la partie imaginaire sur la partie réelle, peut permettre de mieux visualiser les lobes détectés.

Bien que nous obtenons des lobes mieux définis sur les courbes donnant la phase du paramètre Y_{22} (notée *Phase[Y_{22}]*), cette mesure n'aide pas à l'extraction de la signature du piège puisque la fréquence du maximum ne correspond pas à la constante de temps d'émission. Cela permet seulement de voir plus simplement les différences de variations de la partie réelle.

Les mesures qui illustrent ce propos sont présentées ci-dessous *Figure II.27*. Elles sont issues du wafer CF1295 (plaque AlGaN/GaN dont l'épitaxie vient cette fois de l'entreprise CREE avec un substrat en SiC). Les mesures ont été faites ici à V_{DS} = 20 V, I_{DS} = 100 mA/mm

sur un HEMT de deux doigts de 75µm de large pour une grille de 0,7µm de long noté « *2x75Lg0,7µm* ».

La mesure de la phase du paramètre Y_{22} sur la *Figure II.27* c) montre deux lobes témoins de deux pièges, dont celui positionné plus bas en fréquence ressortant beaucoup mieux que sur la courbe de partie imaginaire du paramètre Y_{22} à la *Figure II.27* b).

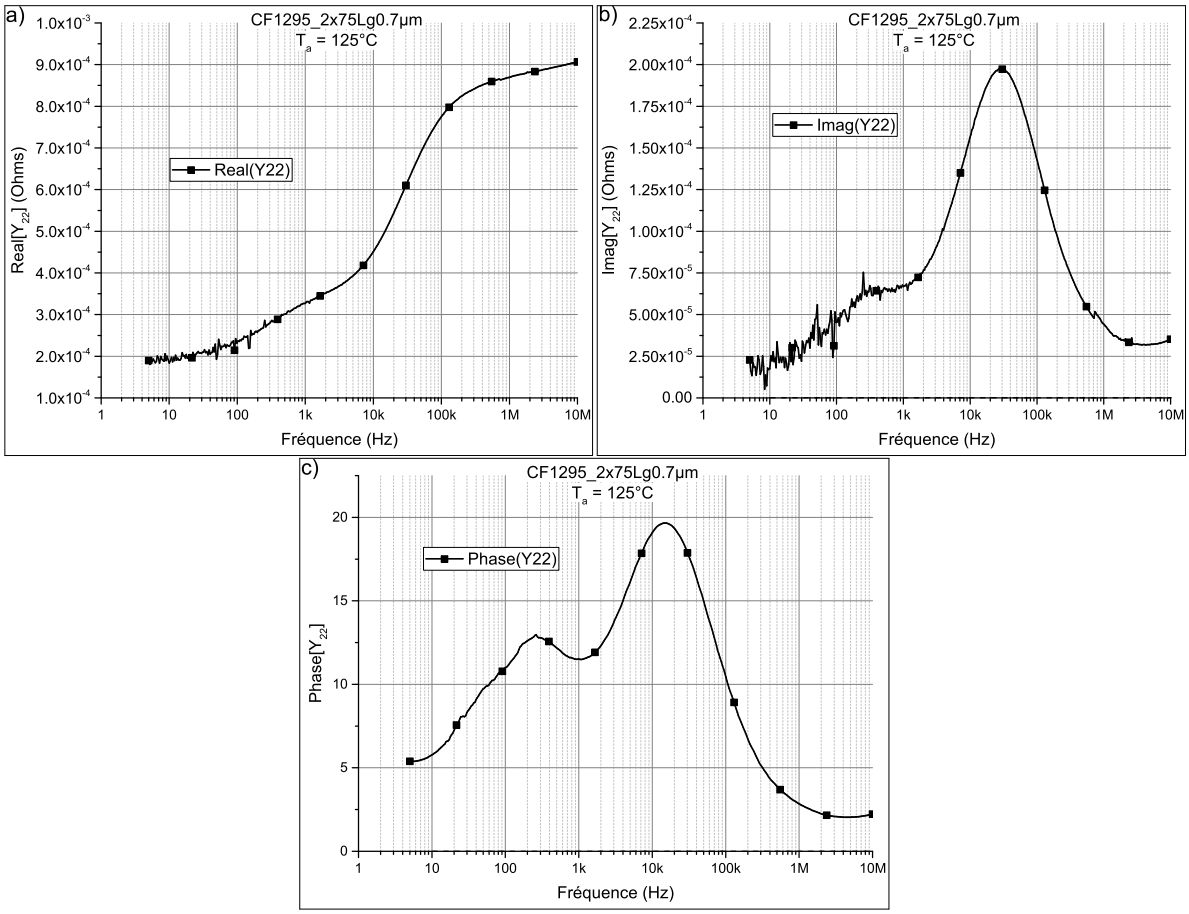


Figure II.27 : Mesures à T_a = 125°C du composant de développement 2x75µm et de longueur de grille Lg=0,7µm issu du wafer CF1295 de a) Partie réelle du paramètre Y_{22} b) Partie imaginaire du paramètre Y_{22} c) Phase du paramètre Y_{22}.

IV.7.b. Répétabilité de la mesure dans le temps

Afin de prouver la répétabilité de notre méthode d'identification des pièges, des mesures identiques ont été réalisées à des dates suffisamment espacées. Nous avons réalisé ce test sur divers composants mais le résultat était toujours le même : les mesures se superposent. Nous donnons un exemple ci-dessous réalisé sur la plaque TS502 pour un transistor de développement 2x50µm et de longueur de grille Lg=0,25µm sous une polarisation de V_{DS} = 10V, I_{DS} ≃100mA/mm et sous une température ambiante de T_a = 170°C. La première mesure a été réalisée en septembre 2014 et la seconde en février 2015, soit 5 mois plus tard. Les deux mesures sont superposées en *Figure II.28*.

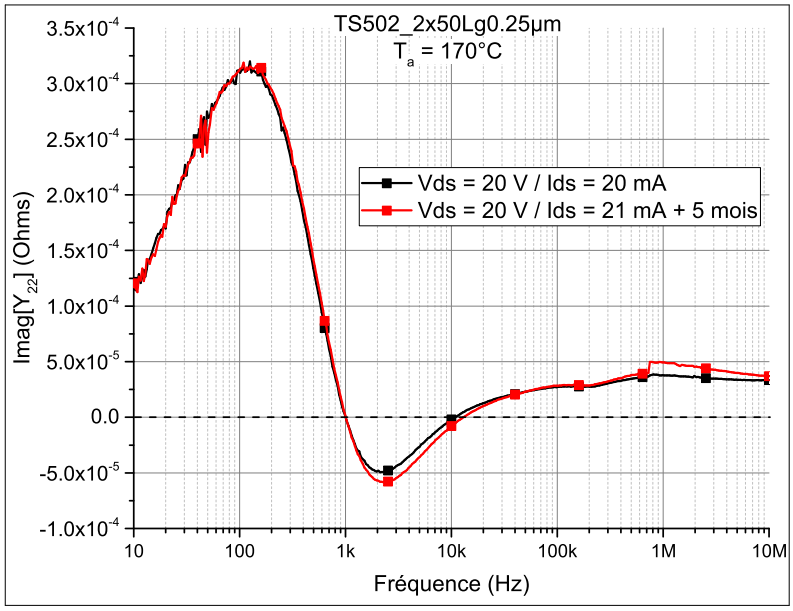


Figure II.28 : Mesure de la partie imaginaire du paramètre Y_{22} sur le transistor de développement 2x50µm et de longueur de grille Lg=0.25µm issu du wafer TS502 réalisée à 5 mois d'écart, sous une polarisation de V_{DS} = 10 V / I_{DS} ≃ 100 mA/mm et à T_a = 170°C.

V Conclusions

Dans ce chapitre, nous avons présenté une méthode de détection des pièges basée sur l'utilisation d'un ARV à basses fréquences que nous avons appliquée pour la mesure de transistors HEMTs InAlN/GaN et AlGaN/GaN.

Un aperçu des diverses techniques de méthodes de détections de pièges usuellement employées a tout d'abord été dressé. Puis, nous avons décrit le banc de mesure mis en place durant ces travaux de thèse. Nous avons démontré, avec également l'appui de simulations physiques, que cette méthode permettait de détecter des pièges dans la structure mais aussi qu'elle était très sensible. Cette caractéristique nous permet de suivre le comportement de certains pièges sensibles à des effets tels que la polarisation, le stress DC ou l'exposition à la lumière.

Nous avons également montré que le modèle de piège simple basé sur l'ajout d'un circuit *RC* reproduit facilement les résultats de mesures mais reste toutefois trop limité pour pouvoir expliquer tous les phénomènes observés. En effet, plusieurs exemples ont été rapportés comme le besoin de mettre la résistance et la capacité négative pour retrouver des lobes négatifs sur la partie imaginaire du paramètre Y_{22} en fréquence, ou bien les effets des polarisations qui ne sont pas pris en compte.

Il est aussi mis en évidence que les énergies d'activation extraites via cette mesure ne sont bien souvent qu'apparentes puisque dépendantes de la polarisation appliquée pendant la mesure, ce qui rend délicates les comparaisons avec d'autres publications sur le sujet.

Cette méthode permet tout de même une grande répétabilité dans la mesure et peut être utilisée comme un témoin fiable des modifications subies par les pièges dans la structure du fait de sa sensibilité et de sa stabilité en température, toutes les mesures étant réalisées en régime établi.

Davantage de mesures sur des composants présentant de plus faibles variations devraient permettre de comprendre encore mieux les phénomènes entrant en jeu afin de pouvoir à terme utiliser cette méthode pour extraire les signatures et les positions des pièges détectés. Ceci doit être réalisé par une approche plus exhaustive des différentes techniques de caractérisations des pièges (bruit basse fréquence, mesures I-V pulsées,…) et de corrélations avec des simulations physiques qui permettront de vérifier les hypothèses par comparaisons des résultats obtenus.

CHAPITRE III :

Modélisation électrothermique non-linéaire d'un HEMT InAlN/GaN optimisée pour des applications en bande Ka

I Introduction

Dans le premier chapitre de cette thèse, nous nous sommes intéressés aux caractéristiques physiques des HEMTs en nitrure de gallium et nous avons mis en avant les spécificités des structures InAlN/GaN développées au III-V Lab. L'objectif actuel étant d'augmenter la fréquence d'utilisation possible de ces structures de HEMTs en InAlN/GaN, de nouvelles variations des procédés technologiques et d'épitaxie sont nécessaires. Par exemple, la diminution de la longueur de grille permet d'atteindre des fréquences de fonctionnement plus élevées mais fait apparaître de nouvelles contraintes.

Pour évaluer les performances de cette filière en développement, des caractérisations en courant-tension (*I-V*), en paramètres [S] et en puissances ont été effectuées.

Dans ce chapitre, nous rapportons les résultats des caractérisations et de la modélisation d'un composant HEMT InAlN/GaN développé par le III-V Lab et optimisé pour fonctionner autour de 30GHz. Ce transistor possède un développement de 6 doigts de 50µm de large, une longueur de grille de 0,15µm et provient de la plaquette TS567. Le modèle développé sera utilisé pour la conception d'un amplificateur opérant en bande Ka sous le logiciel de CAO Advanced Design System. Nous détaillerons la conception de cet amplificateur au chapitre IV.

Les différentes étapes de la création du modèle sont reprises dans ce chapitre depuis l'extraction des paramètres intrinsèques et extrinsèques, à la validation du modèle en fonctionnement de puissance à 30GHz prenant en compte la problématique des phénomènes de piégeage-dépiégeage abordée aux chapitres I et II.

Nous insisterons également sur les difficultés qu'entraînent les mesures effectuées à de telles fréquences ainsi que sur les particularités relevées sur cette filière de composants en développement.

II Critères qualitatifs de choix de la topologie du transistor à modéliser

Comme relaté dans l'introduction, de nouvelles variations sur les procédés d'épitaxies et de technologies sont expérimentées pour améliorer les performances des transistors. Pour étudier l'impact de ces nouveaux procédés, mais aussi pour pouvoir répondre à diverses applications futures, plusieurs topologies différentes de transistors ainsi que différents développements sont réalisées. Pour maximiser la puissance de sortie, on recherchera des composants disposant d'un développement de grille important. Par contre, les performances fréquentielles des transistors diminuant avec leur taille, un compromis sera nécessaire.

Afin de connaître quelle géométrie de composant présentera le meilleur compromis, des mesures de paramètre [S] ont été réalisées sur plusieurs topologies. En effet, un bon indicateur de la fréquence d'utilisation possible d'un transistor est donné par la transition observée sur la courbe des gains MSG/MAG en fonction de la fréquence.

La plaquette mise à disposition pour ces travaux de thèse porte la référence TS567. Elle a été épitaxiée par une technique LP-MOCVD sur un substrat SiC de trois pouces. Son buffer GaN, d'épaisseur 1.7µm, est non intentionnellement dopé et comprend une fine couche de GaN fortement compensée en carbone. De plus, une couche d'AlN d'épaisseur 1.5nm est insérée entre le buffer et la couche barrière d'$In_{0.19}Al_{0.81}N$ de 6nm d'épaisseur.

Les étapes technologiques sont réalisées à partir du jeu de masques dénommé « Ganak » et comportent entre autre, une couche de passivation en matériau Si_3N_4, mesurant 100nm d'épaisseur et des contacts ohmiques réalisés en alliage Titane/Aluminium/Nickel/Or/Platine. Les grilles sont, quant à elles, réalisées dans un alliage Nickel/Or. La densité de charge dans le canal N_s est de $1{,}6x10^{13}cm^{-2}$, la résistance du gaz bidimensionnel d'électron R□ est de 214Ω et la tension de pincement des composants est située autour de V_p = -2,6V.

Pour déterminer les transitions de gains MSG/MAG de chaque topologie de cette plaquette, nous utilisons un banc de mesure de paramètres [S] disponible au III-V Lab, pouvant réaliser les mesures sur l'ensemble des composants d'un wafer, de manière automatisée. Ces mesures ont été réalisées sur une gamme fréquentielle allant de 2GHz à 40GHz, pour un point de polarisation V_{DS}=10V, I_{DS}=200mA/mm.

Les *Figure III.1* et *Figure III.2* comparent les gains de différents développements de transistors. Quatre transistors avec un nombre de doigts différents (8, 6, 4 et 2) avec une même largeur de grille Wg = 50µm (*Figure III.1*) et quatre transistors avec le même nombre de doigts mais avec des largeurs de grilles différentes : 8x30µm, 8x40µm, 8x50µm et 8x60µm (*Figure III.2*).

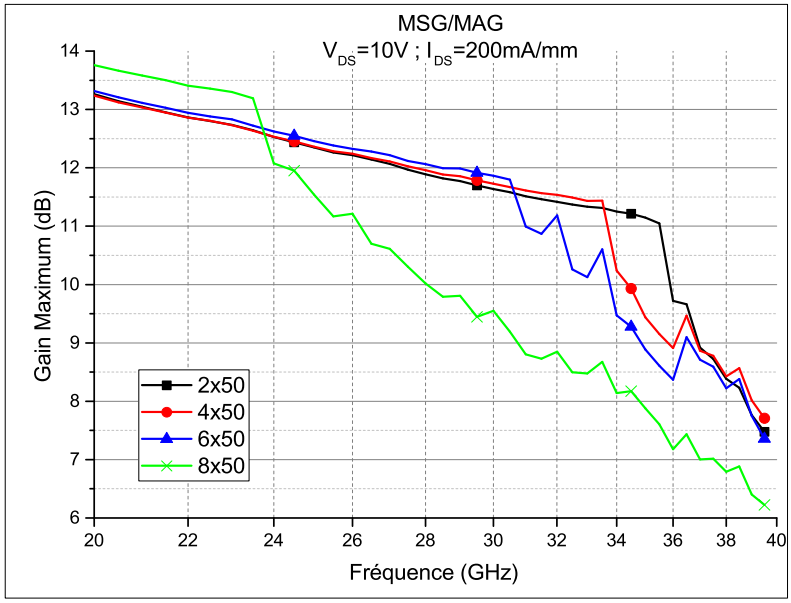


Figure III.1 : Mesures de gains maxima MSG/MAG effectuées à une polarisation V_{DS} =10V ; I_{DS} = 200mA/mm, pour quatre transistors HEMTs InAlN/GaN issus du wafer TS567 de développement 8x50µm, 6x50µm, 4x50µm, 2x50µm.

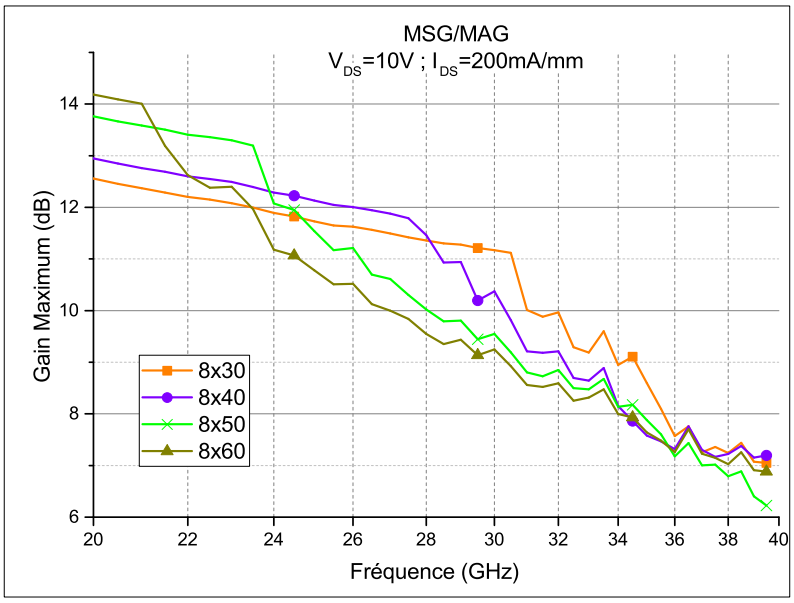


Figure III.2 : Mesures de gains maxima MSG/MAG effectuées à une polarisation V_{DS} =10V ; I_{DS} = 200mA/mm, pour quatre transistors HEMTs InAlN/GaN issus du wafer TS567 de développement 8x30µm, 8x40µm, 8x50µm, 8x60µm.

Les deux figures précédentes (*Figure III.1* & *Figure III.2*) permettent de déduire un nombre de doigts optimal associé à une largeur de grille optimale. En effet, on constate premièrement que les gains maxima des développements de transistors de 6x50µm, 4x50µm et 2x50µm sont identiques jusqu'à 30GHz. Puis, à 34GHz, il y a seulement 1 dB de moins pour le développement de transistor de 6x50µm contre celui de 4x50µm. Enfin, le transistor à 8 doigts de grille de 50µm de large présente une transition de gain MSG/MAG bien plus basse en fréquence que pour les trois autres développements de transistor comprenant 6, 4 et 2 doigts de grille de 50µm de large : elle se situe autour de 23GHz et le gain n'est plus que de 9,5dB à 30GHz.

Deuxièmement, en comparant les mesures de développements de transistors comprenant 8 doigts de largeurs différentes, on constate que les gains et les transitions de MSG/MAG des développements de 8x40µm et de 8x30µm sont légèrement moins bons que ceux du développement de 6x50µm, alors qu'ils sont respectivement plus grands et plus petits qu'un développement de 6x50µm.

Pour la suite de nos travaux, nous avons ainsi choisi le composant de développement de grille 6x50µm qui présente un bon compromis entre fréquence de fonctionnement et développement total de grille pour la conception d'un amplificateur de puissance MMIC en bande Ka. Le gain maximum mesuré pour ce développement de grille est de 11,5dB à 30 GHz.

Le transistor retenu pour la réalisation d'un modèle est donc un composant de la plaquette TS567 comportant 6 doigts de grille de 50µm de large et de 150nm de long (nous le désignerons par la suite TS567_6x50Lg0,15).

III Méthode de modélisation non-linéaire électrique d'un HEMT InAlN/GaN

La modélisation d'un composant peut prendre diverses formes, plus ou moins détaillées donc plus ou moins complexes. Le niveau de détail souhaité est fonction de l'application pour laquelle on développe ce modèle. Par exemple, pour comprendre les phénomènes physiques en jeu et les interactions des charges dans les couches semi-conductrices, une modélisation dite *physique* est nécessaire. Elle utilisera les équations de la physique des semi-conducteurs, intègrera la géométrie du composant, la composition et les épaisseurs des couches. De plus, si la résolution du modèle est créée via des simulations aux éléments finis, la structure devra être maillée suffisamment finement pour prendre en compte les divers effets en jeu. Tous ces paramètres rendent cependant les simulations longues, gourmandes en moyen de calculs et donc peu adaptées à la conception de circuits.

Pour une modélisation électrique en vue de la conception d'un amplificateur de puissance, on préfèrera alors d'autres types de modélisations dites *comportementale* ou *phénoménologique*.

La modélisation *comportementale* peut être fournie directement par certains appareils de mesure (comme l'analyseur de réseaux vectoriel PNA-X-514 de la société Keysight ou les suites informatiques des sociétés Mesuro ou NMDG qui s'appuient également sur des mesures d'analyseurs de réseaux vectoriels) et se présente sous la forme d'un modèle de type « boite noire », c'est-à-dire que les mesures du transistor sont directement modélisées par des fonctions mathématiques s'appuyant sur des paramètres sans réelle valeur physique, comme c'est le cas pour des modèles « paramètres [X] » [65] ou de « réseaux de neurones » [66].
Ces modèles permettent de simuler des sous-systèmes complets et peuvent fournir une approche plus globale simplifiant la modélisation au niveau système. Cependant, leur inconvénient majeur réside dans le fait qu'on ne peut pas avoir accès aux variables et aux paramètres du modèle, ce qui est recherché dans notre cas, afin de permettre un lien plus direct entre la modélisation des transistors et les paramètres technologiques. En effet, pour des activités de recherche et développement autour du transistor, ou pour l'étude de phénomènes visibles au niveau système mais attribuables au transistor, nous privilégions un modèle *phénoménologique*. Dans ce type de modélisation, les paramètres ont pour la plupart une signification physique ou représentent un effet précis du comportement global du transistor. De ce fait, cette modélisation emploiera des équations basées sur des lois physiques ainsi que des équations mathématiques reproduisant un phénomène observé en mesure afin de faciliter sa convergence. Ce genre de modèle se situe donc à mi-chemin entre les deux modèles cités précédemment, combinant vitesse de simulation et souplesse de modélisation.

III.1. Modélisation électrique d'un HEMT

Pour modéliser notre composant, nous avons donc choisi une méthode phénoménologique. Celle-ci se compose des éléments standards composant le schéma petit signal d'un HEMT complété par une modélisation des phénomènes thermiques et des pièges. Un schéma de principe illustrant l'origine de quelques paramètres du modèle petit signal standard est proposé *Figure III.3* a) ainsi qu'un schéma équivalent grand signal amélioré, incluant les éléments correspondants aux effets thermiques et de pièges (*Figure III.3* b)). On distinguera alors les paramètres *intrinsèques* (g_m, g_d, Cgs, Cgd, Cds, Ri, τ) qui sont indépendants de la fréquence et sont fonctions de la polarisation appliquée et les paramètres *extrinsèques* (Lg,

Rg, Cpg, Ld, Rd, Cpd, Ls, Rs) qui eux, n'en dépendent pas. Les paramètres extrinsèques correspondent aux éléments parasites dus aux accès du transistor.

Nous expliquerons dans ce chapitre comment les éléments composant ce modèle sont extraits à partir des mesures obtenues lors des caractérisations *I-V* en impulsions, des paramètres [S] et des mesures de puissance de type load-pull.

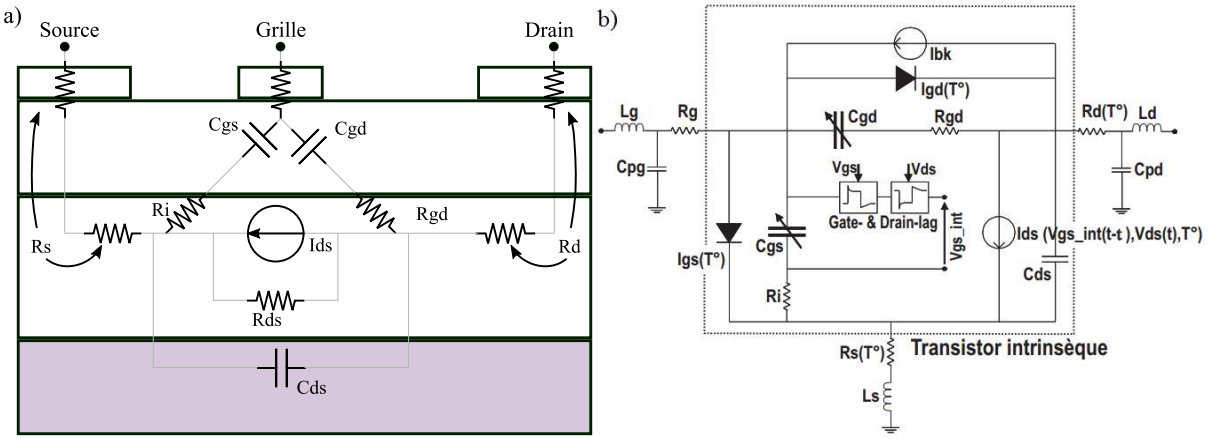


Figure III.3 : a) Schéma de principe indiquant l'origine de quelques paramètres du modèle petit signal standard d'un HEMT. b) Schéma de principe grand signal du modèle de HEMT utilisé dans cette thèse incluant les effets thermiques et de pièges [10].

Pour extraire les paramètres du modèle équivalent, nous avons suivi la méthode illustrée *Figure III.4*. Celle-ci est divisée en cinq grandes étapes, en fonction de la complexité souhaitée de la modélisation. Les étapes principales sont :

- La détermination des paramètres intrinsèques et des paramètres extrinsèques du schéma équivalent petit signal pour un point de polarisation particulier correspondant en général au point de repos du transistor dans l'application.
- La définition d'une source de courant permettant de simuler complètement le comportement courant-tension du transistor. Pour cela, nous utilisons des équations permettant de modéliser le comportement de la source de courant faisant correspondre les réseaux I-V simulés avec ceux mesurés.
- La modélisation des capacités non-linéaires C_{GD} et C_{GS} permettra de reproduire correctement les mesures des paramètres [S] du transistor à différents points de polarisation.
- L'ajout d'une dépendance thermique au modèle qui jouera sur le courant I_{DS}, le comportement des résistances Rd et Rs et le comportement des diodes modélisant les phénomènes d'avalanche entre le drain et la grille et entre la source et la grille.

- L'ajout de cellules modélisant la contribution des phénomènes de piégeage et de dépiégeage permettant de reproduire les effets observés en mesure et impossible à reproduire sans ces derniers.

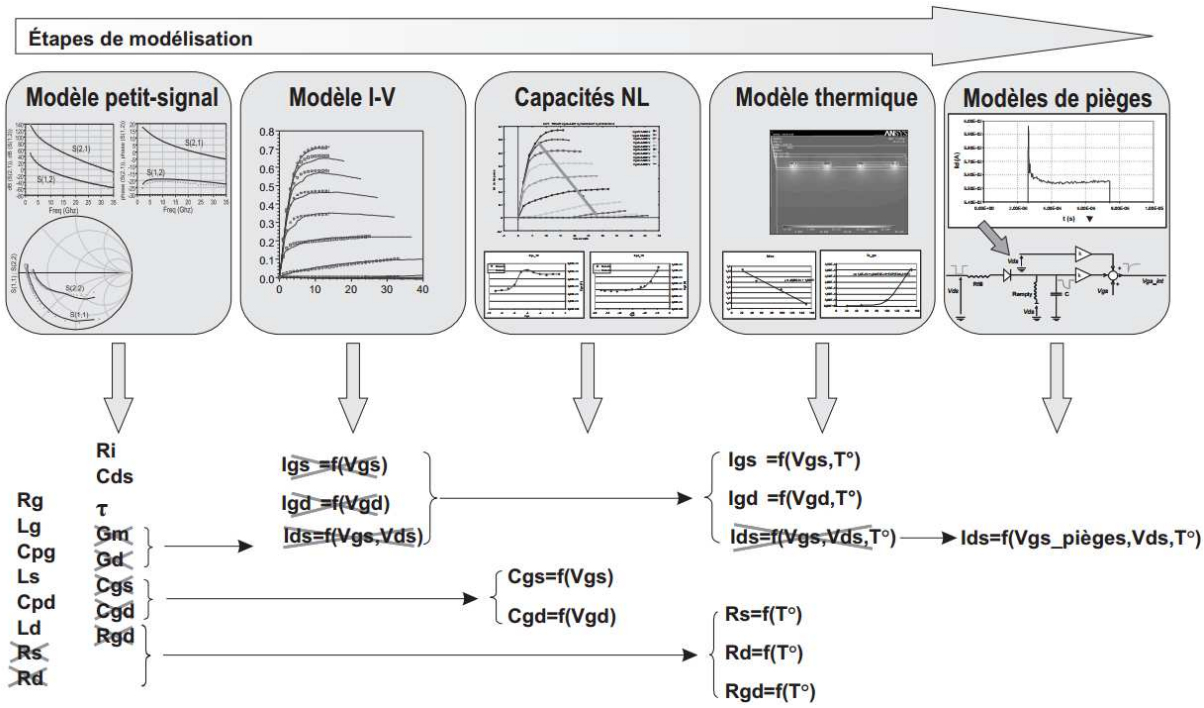


Figure III.4 : Différentes phases de modélisation nécessaires afin d'obtenir des modèles électrothermiques grands signaux. Les différents paramètres extraits puis corrigés sont montrés pour chaque étape. [10]

III.2. *Détermination des paramètres intrinsèques et extrinsèques*

Les paramètres extrinsèques et intrinsèques linéaires sont obtenus à partir des mesures de paramètres [S]. Pour ce faire, des transformations successives sont opérées sur la matrice de paramètres [S] mesurée, comme expliqué sur le diagramme algorithmique *Figure III.5*.

Cette méthode est basée sur l'hypothèse que les paramètres extrinsèques sont connus. Pour les déterminer, deux techniques sont possibles. La première, illustrée dans les travaux de G. Dambrine [67], stipule que les paramètres Rs, Ls, Rg, Lg, Rd, Ld peuvent être déduits des paramètres [S] effectués à une polarisation « froide » ($V_{GS} \geq 0V$, $V_{DS} = 0V$) et que les capacités Cpg et Cpd peuvent être extraites via la mesure de paramètres [S] avec cette fois une polarisation telle que $V_{GS} = Vp$; $V_{DS} = 0V$.

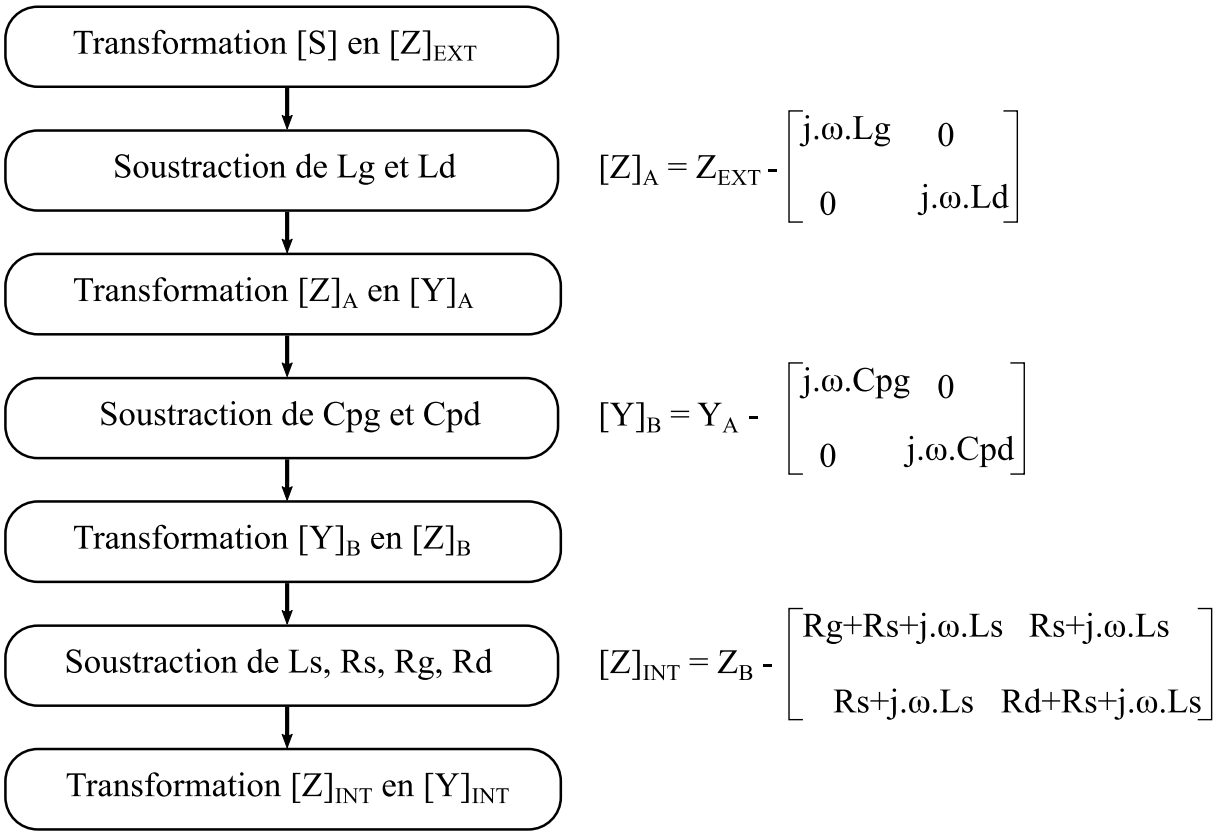


Figure III.5 : Algorithme d'extraction de la matrice des paramètres intrinsèques du schéma équivalent petit signal d'un transistor.

La deuxième technique, développée au sein du laboratoire Xlim, propose une optimisation des éléments extrinsèques associée à une extraction analytique des éléments intrinsèques. Le moteur d'optimisation (basé sur un algorithme de recuit simulé) cherche à minimiser à plusieurs points de fréquence l'erreur entre les mesures des paramètres [S] au point de polarisation souhaité et les paramètres [S] obtenus avec le modèle. Afin de garder une signification physique des paramètres du modèle obtenus, les éléments intrinsèques doivent être de plus indépendants de la fréquence.

Afin de rendre l'optimisation des éléments intrinsèques efficace et toujours tenter de garder des valeurs les plus proches possibles de la physique, les valeurs de plusieurs paramètres peuvent être estimées au préalable. On peut ainsi mieux définir les bornes d'optimisation qui encadreront les valeurs possibles pour les paramètres du modèle.

Des mesures statiques réalisées au laboratoire montrent qu'en courant continu, un doigt de grille de 100µm de large possède une résistance de 34Ω. Notre transistor, composé de 6 doigts de grille de 50µm de large, possèderait donc une résistance égale à :

$$Rg_{DC} \approx \frac{34}{12} \approx 2{,}83\Omega \qquad (3.1)$$

D'autre part, en régime radiofréquence, on peut démontrer que la résistance Rg est approximativement égale à la résistance de métallisation divisée par trois, à condition d'avoir de faibles courants de fuite de grille (I_{GS}<1mA) [68]:

$$Rg_{RF} \approx 2{,}83 \cdot \left(\frac{1}{3}\right) \approx 0{,}94\Omega \qquad (3.2)$$

Pour la détermination des résistances de source et de grille de notre transistor, nous utilisons la valeur du contact ohmique qui est Rco = 1,67Ω ainsi que la résistance de couche qui est R□ = 214Ω/□. Or, sur les espace source-grille totaux, on aura 1/214ème de □ (espace S-G = 1µm ; largeur totale = 6x50µm) et sur tous les espaces grille-drain on aura 2/214ème de □.

$$Rs_{RF} \approx 1{,}67 + 1 \approx 2.67\Omega \qquad (3.3)$$

$$Rd_{RF} \approx 1.67 + 2 \approx 3.67\Omega \qquad (3.4)$$

Pour déterminer les valeurs des inductances et des capacités extrinsèques, il est difficile de donner une formule générale. En effet, ces paramètres dépendent du plan de référence choisi pour extraire le modèle et donc du *deembedding* considéré.

Pour soustraire les lignes d'accès des mesures et établir le modèle dans le plan de référence du transistor seul, nous avons utilisé le modèle de lignes microrubans couplées MACLIN3 disponible sous ADS. Pour notre transistor, les espacements relevés sur le masque du transistor sont illustrés *Figure III.6*.

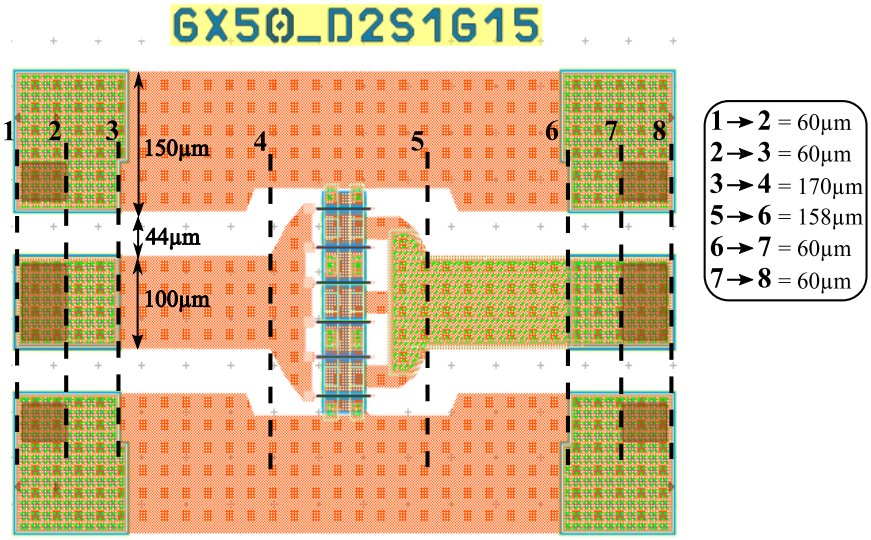


Figure III.6 : Plan de deembedding pour le composant TS567_6x50D2S1G15.

La représentation électrique de la simulation pour le circuit de *deembedding* d'entrée est présenté *Figure III.7*. Le montage prenant en compte le *deembedding* de sortie n'est pas montré ici mais suit le même principe. Il suffira ensuite de récupérer les fichiers de simulation en paramètres [S] de ces circuits de *deembedding* d'entrée et de sortie et de les soustraire aux mesures des paramètres [S].

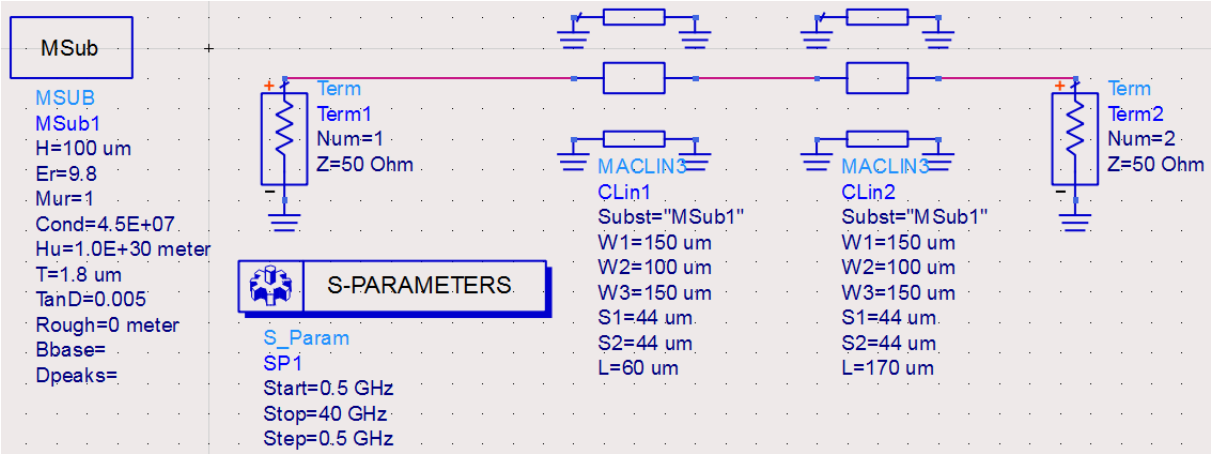


Figure III.7 : Schéma électrique modélisant le changement de plan de référence entre le pad de grille et le transistor en simulation sous le logiciel ADS.

Les valeurs typiques des inductances et des capacités extrinsèques pour un développement de transistor de 0,3mm issus des procédés technologiques et épitaxiaux du III-V Lab valent environ :

- 25pH pour Lg et Ld selon le plan de référence défini *Figure III.6*
- quelques picohenry (<5 pH) pour la contribution des ponts à air à la valeur de l'inductance de source Ls, auxquels il faut ajouter l'inductance des vias d'approximativement 8pH à 9pH dans les cas de l'utilisation de 2 vias.
- quelques dizaines de femtofarad pour Cpg et Cpd.

Ces valeurs sont utilisées comme valeurs d'initialisation afin de borner les solutions obtenues par le programme d'optimisation.

III.2.a. Mesures de paramètres [S] en impulsions

Pour extraire les paramètres du modèle, nous nous appuyons sur des mesures de paramètres [S] effectuées à un point de polarisation précis.

Afin de modéliser le plus fidèlement possible ces composants soumis à des phénomènes de piégeage, deux façons de procéder sont possibles.

La première consiste à utiliser une mesure de paramètres [S] effectuée au point de repos correspondant au point de fonctionnement souhaité dans l'application future. A ce point de polarisation, le fonctionnement du transistor est proche de celui utilisé en régime fort signal, étant donné que l'état thermique et de piège du composant dépendra du point de repos statique choisi et de la puissance du signal hyperfréquence en entrée.
La deuxième méthode consiste à fixer comme point de repos V_{DS} = 0V et V_{GS} = 0V puis de mesurer les paramètres [S] synchronisés dans des impulsions de tensions de commande V_{GS} et $V_{DS.}$ Cette polarisation instantanée devant correspondre au point de polarisation statique de l'application future. Pour ne pas modifier l'état thermique du composant lors de la mesure, il faudra choisir des temps d'impulsions suffisamment courts ainsi qu'un rapport cyclique adapté minimisant les effets mémoires. Avec cette méthode, la contribution des phénomènes de piégeage et dépiégeage ainsi que la contribution des effets thermiques sont minimisées et il faudra alors les modéliser par l'ajout de modules supplémentaires dans le modèle global.

Puisque nous obtenions des résultats de mesure I-V dégradés en choisissant un point de repos à V_{DS} = 19V, I_{DS} = 100mA/mm sur ce composant, nous avons opté pour une mesure de paramètres [S] impulsionnelle avec comme point de repos V_{DS} = 0V, V_{GS} = 0V. Nous avons fixé une durée de pulse de 10µs, pour une période de 100µs. Cette largeur d'impulsion est la plus courte possible vis-à-vis de la dynamique disponible de l'analyseur de réseau vectoriel. Nous verrons, dans la partie III.3 de ce chapitre, que pour des mesures de courant-tension en impulsions sans mesures de paramètres [S], nous utilisons un temps d'impulsion beaucoup plus court : 850ns de pulse pour une période de 10µs.

Nous ajouterons par la suite des modules modélisant les phénomènes de piégeage (cf. § III.6) et de dépendances thermiques (cf. § III.5).

Depuis de nombreuses années, le laboratoire Xlim a développé des bancs et des techniques de mesure impulsionnelle [45], [46], [69]–[71] dont la valorisation a conduit à la création, par d'anciens doctorants, de la société AMCAD Engineering. Ainsi, le banc de mesures de paramètres [S] disponible au laboratoire Xlim et utilisé pour cette thèse, repose sur l'utilisation d'un analyseur de réseau vectoriel Rhode & Schwarz ZVA40 couplé à un boitier d'alimentations impulsionnelles de type BILT, fourni par l'entreprise AMCAD Engineering. Le traitement des données se fait au travers du logiciel IVcad, également développé par cette entreprise.

Un synoptique de ce banc de mesure de paramètres [S] impulsionnels est présenté *Figure III.8*.

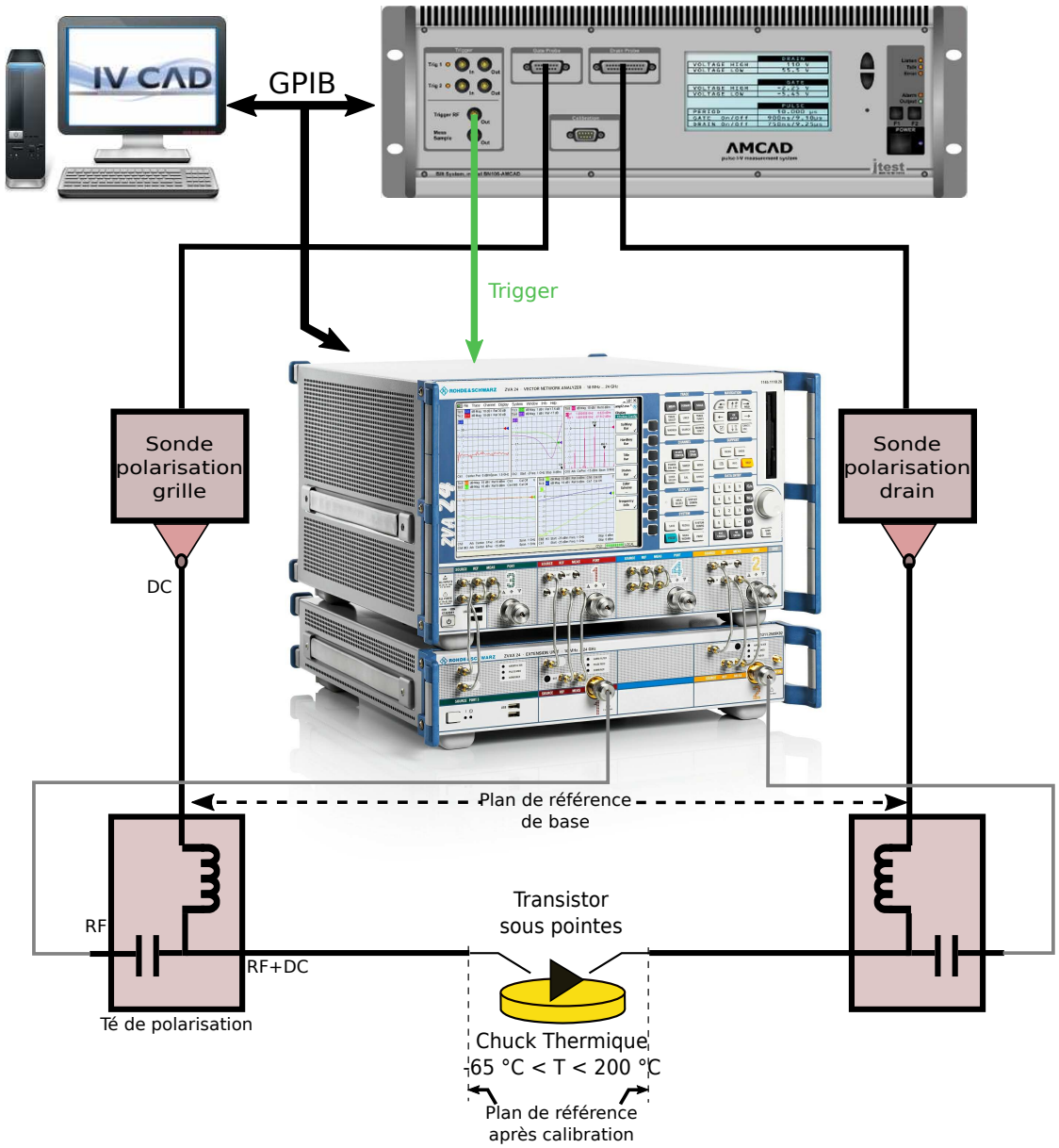


Figure III.8 : Synoptique du banc de mesure de paramètres [S] pulsés disponible au laboratoire commun, pour des mesures sous-pointes en température avec chuck thermique.

Le *Tableau III.1*, donne les valeurs des paramètres extrinsèques et intrinsèques du schéma équivalent petit signal pour notre transistor au point de polarisation instantanée : V_{GS} = -3,5V ; V_{DS} = 19V. A ce point de polarisation instantanée, le courant I_{DS} = 30mA (100mA/mm) et le courant de fuite I_{GS} = 17µA.

Tableau III.1 : Paramètres extrinsèques et intrinsèques pour un modèle petit-signal à une polarisation de V_{GS} = -3,5V ; V_{DS} = 19V ;I_{DS}=100mA/mm.

Paramètres extrinsèques							
Rg(Ω)	Rd(Ω)	Rs(Ω)	Lg(pH)	Ld(pH)	Ls(pH)	Cpg(fF)	Cpd(fF)
1,2	3,75	1,5	37,5	10,16	1,4	9,42	23,6
Paramètres intrinsèques							
Cgs(fF)	Cgd(fF)	Cds(fF)	Ri(Ω)	Rgd(Ω)	τ(fs)	gm(mS)	gd(mS)
250	35	44	0.5	15	937	63	4,9

Ces paramètres permettent de construire un modèle petit signal dont les résultats de simulations de paramètres [S] sont présentés *Figure III.9*, juxtaposés avec les résultats de mesure.

Les comparaisons de résultats de mesures avec ceux obtenus en simulation démontrent un très bon accord. Seule la forme du paramètre S_{22} simulé ne correspond pas exactement à la mesure, autour de 16GHz. Autour de cette fréquence, on observe sur la mesure, dans une représentation en abaque de Smith, une légère cassure due à une remontée observable sur la courbe de la partie imaginaire. Cet effet est difficile à reproduire avec le modèle et nous considérons cette différence comme acceptable vis-à-vis de la bonne correspondance entre les mesures et les simulations pour les autres paramètres mais aussi car le paramètre S_{22} est bien modélisé autour de 30GHz, fréquences auxquelles le transistor devra fonctionner dans son application future.

Puisque les paramètres extrinsèques et intrinsèques du modèle ont été extraits à un point de polarisation particulier, nous ne pouvons pas, à ce stade, faire de comparaisons à d'autres points de polarisation. Pour cela, il sera nécessaire de créer un modèle de source de courant et des modèles de capacités C_{GS} et C_{GD} non-linéaires non-linéaires. Ces deux points sont abordés respectivement aux paragraphes III.3 et III.4.

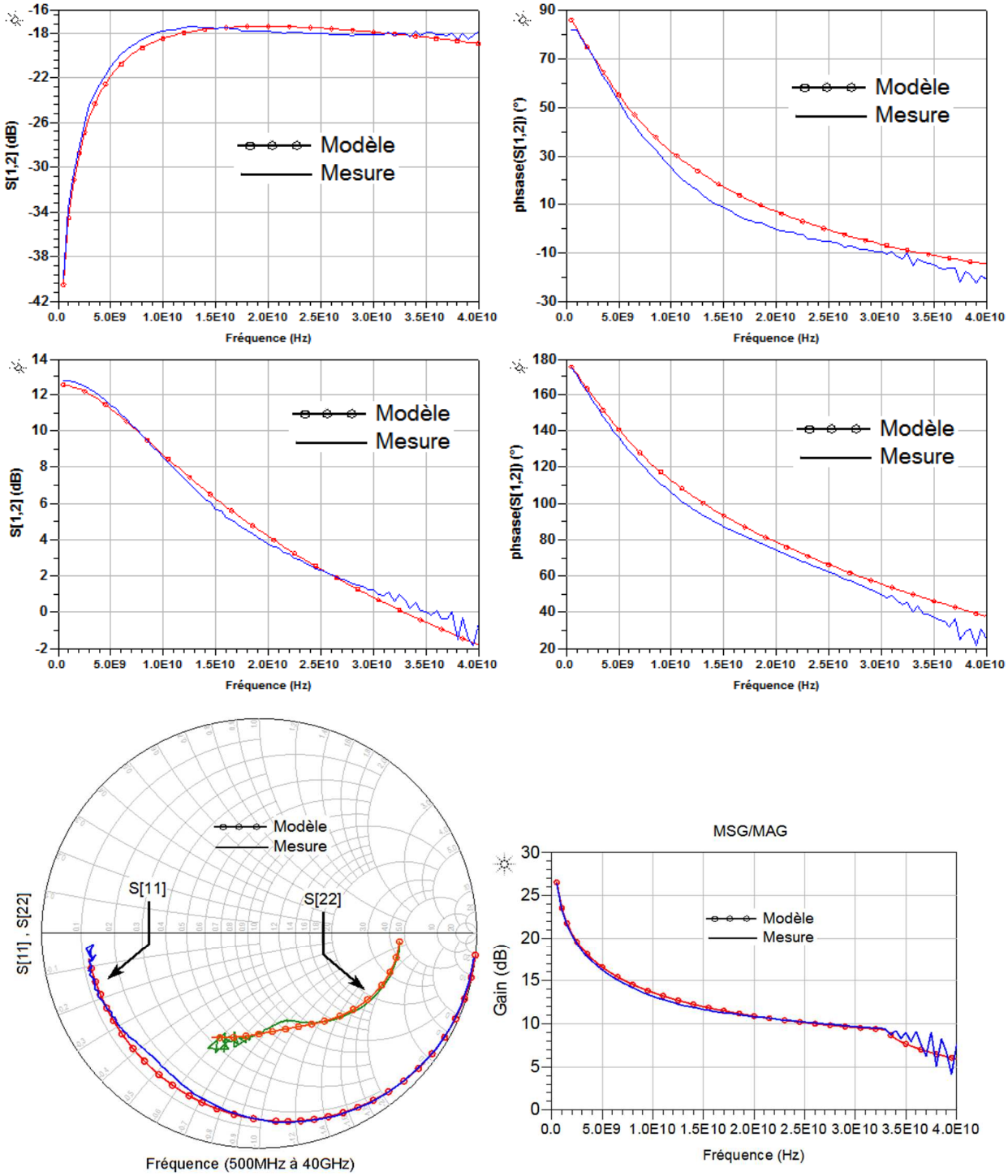


Figure III.9 : Comparaisons entre des résultats de paramètres [S] obtenus par la simulation du modèle petit-signal et par des mesures pulsées (V_{GS0}=0V, V_{DS0}=0V) pour le transistor TS567_6x50D2S1G15 au point de polarisation V_{GS} = -3,5V ; V_{DS} = 19V ; I_{DS} = 100mA/mm.

III.2.b. Importance du deembedding pour la modélisation à haute fréquence

Si le programme d'optimisation fournit des solutions dont les valeurs ne semblent pas cohérentes avec celles attendues, cela peut être un signe du mauvais dimensionnement du *deembedding*. En effet, plus la fréquence d'utilisation sera élevée, plus les mesures seront sensibles aux inductances parasites et un mauvais dimensionnement des lignes d'accès au transistor décalerait le plan de référence considéré pour l'établissement du modèle du transistor. On obtiendrait alors des valeurs de paramètres du modèle biaisées, pouvant être problématiques lors de la conception de circuits. A titre d'exemple, l'ajout d'une inductance de l'ordre de 30pH devant l'inductance de grille, peut entraîner un décalage significatif de la bande de fréquence d'un amplificateur de plusieurs gigahertz vers les basses fréquences.

Tenant compte de ces observations, pour l'élaboration d'un modèle devant fonctionner à plusieurs dizaines de gigahertz, effectuer le *deembedding* en utilisant des modèles de lignes fournis par la bibliothèque du logiciel ADS est-il toujours bien adapté ?
Des lignes coplanaires étant présentes sur la plaquette étudiée, nous avons comparé leurs mesures de paramètres [S] avec les résultats de simulation de ces lignes. Pour les simulations, nous avons utilisé le modèle électrique de lignes microruban couplées de type MACLIN3, un modèle électromagnétique (EM) calculé avec l'outil MOMENTUM et un second modèle EM calculé avec l'outil Ansoft Designer. La *Figure III.10* présente le layout d'une de ces lignes coplanaires. Ce layout a été utilisé pour la création d'un modèle EM prenant en compte les spécificités des couches du wafer TS567.

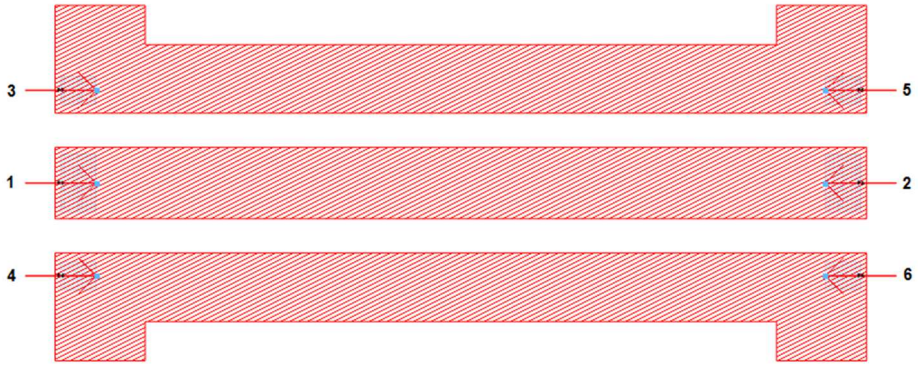


Figure III.10 : Layout d'une ligne coplanaire issue du masque Ganak.

La modélisation sous MOMENTUM a été développée en choisissant des ports de simulation coplanaires, c'est-à-dire que l'on force les ports identifiés 3 et 4 sur la *Figure III.10* à être les références de masse du port 1 (et de même avec les ports 5 et 6 pour le port 2). Cette technique est censée représenter au mieux le comportement des pointes hyperfréquences. Sous Ansoft

Designer, nous avons essayé deux types de ports différents : le premier essai consistait à positionner les ports sur le bord extérieur des pads d'accès et le deuxième essai testait l'effet des ports de simulations positionnés sur la surface des pads d'accès.

Le modèle à base d'éléments MACLIN3 de la bibliothèque du logiciel ADS, correspondant à cette ligne, est donné *Figure III.11*.

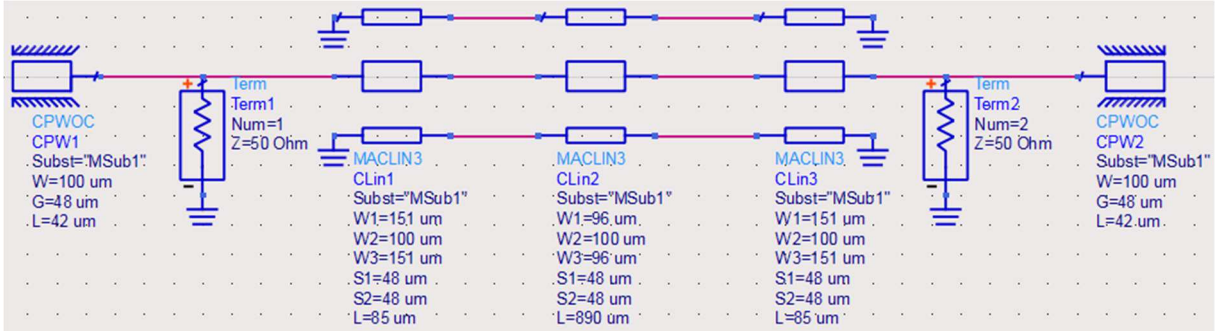


Figure III.11 : Modélisation de la ligne coplanaire du masque Ganak utilisant des éléments MACLIN3.

Les épaisseurs et les propriétés des différentes couches des matériaux utilisées pour la conception des éléments passifs du wafer TS567 sont données dans le *Tableau III.2* ci-dessous.

Tableau III.2 : Paramètres des couches utilisées dans la conception des éléments passifs du wafer TS567

Epaisseur de substrat SiC	Constante diélectrique du SiC	Perméabilité relative	Conductivité du métal	Epaisseur du métal	Tangente de perte
350µm	10,2	1	$3{,}7 \times 10^{7}$ S/m	2µm	1×1^{-4}

L'emplacement des pointes RF ayant servies à la mesure de paramètres [S] de cette ligne est difficile à connaître précisément. Cependant, nous savons que l'ingénieur en charge de ses mesures cherche à se positionner vers le milieu du pad RF. Nous avons donc cherché à ajuster leur position en simulation pour correspondre aux mesures. Pour ce faire, il suffit d'ajuster la longueur des éléments CPW1, CPW2, Clin1 et Clin3 pour le modèle MACLIN3 (cf. *Figure III.11*) ou de décaler la position des ports le long des pads d'accès pour les modélisations EM. La *Figure III.12* présente les comparaisons entre les résultats de mesures de paramètres [S] de la ligne coplanaire du wafer TS567 et les résultats de simulation des modèles EM et MACLIN3 pour le meilleur ajustement de la position des pointes. Les emplacements des pointes correspondant à ces meilleurs ajustements sont schématisés sur la représentation de la ligne insérée dans la *Figure III.12*.

On constate que les emplacements simulés des pointes RF dans le cas de la modélisation électromagnétique et dans le cas de la modélisation à base d'éléments MACLIN3 sont très différents. En effet, pour retrouver les mêmes résultats qu'en mesure, il faudrait que les pointes soient positionnées à 127µm des bords extérieurs des pads d'accès pour la modélisation EM MOMENTUM (c'est-à-dire au bord de la ligne elle-même), alors que pour la modélisation à base d'éléments MACLIN3, les pointes devraient se trouver à seulement 42µm des bords extérieurs des pads d'accès. Soit une différence de 85µm, que nous ne pouvons expliquer aujourd'hui. La modélisation EM effectuée avec le logiciel Ansoft Designer a donné le même résultat que l'outil MOMENTUM, pour des simulations avec des ports positionnés sur la surface des pads d'accès. Par contre, dans le cas de l'utilisation des ports positionnés sur le bord du pad, nous avons retrouvé un bon accord avec la mesure si le pad était coupé en deux. Ce qui se rapproche du postulat que les pointes ont été posées au milieu du pad lors de la mesure.

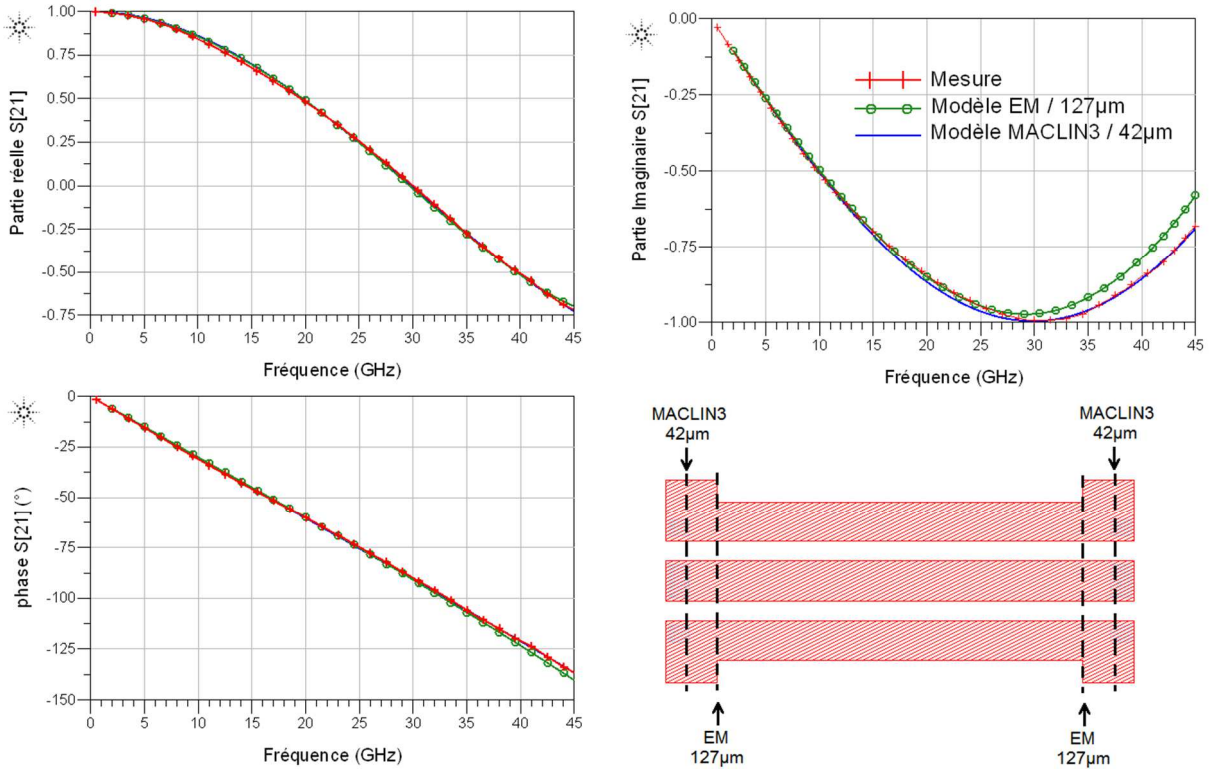


Figure III.12 : Comparaisons entre les résultats de mesures de paramètres [S] effectuées sur une ligne du wafer TS567 et les résultats de simulations reposant sur un modèle électromagnétique de l'outil MOMENTUM et sur un modèle à base d'éléments MACLIN3. Le schéma représentant la ligne indique les positions des pointes à renseigner pour chacune des deux modélisations afin de retrouver ces résultats.

Puisque la mesure de paramètres [S] a été effectuée vers le milieu des pads d'accès, la modélisation circuit à base d'éléments MACLIN3 ou une simulation sous Ansoft Designer avec des ports placés sur le bord des pads découpés en deux semblent donc être à privilégier.

La *Figure III.13* illustre la différence de rapport de phase observée pour une modélisation électromagnétique MOMENTUM de cette même ligne, mais pour deux positionnements des pointes RF différents : à 58µm et à 127µm des bords extérieurs des pads d'accès, soit une différence de 69µm entre les deux essais. Cette différence de phase correspond à une inductance équivalente de 96pH (48pH pour une ligne de 69µm). Le moteur de simulation ADS Momentum semble donc être à utiliser avec précautions.

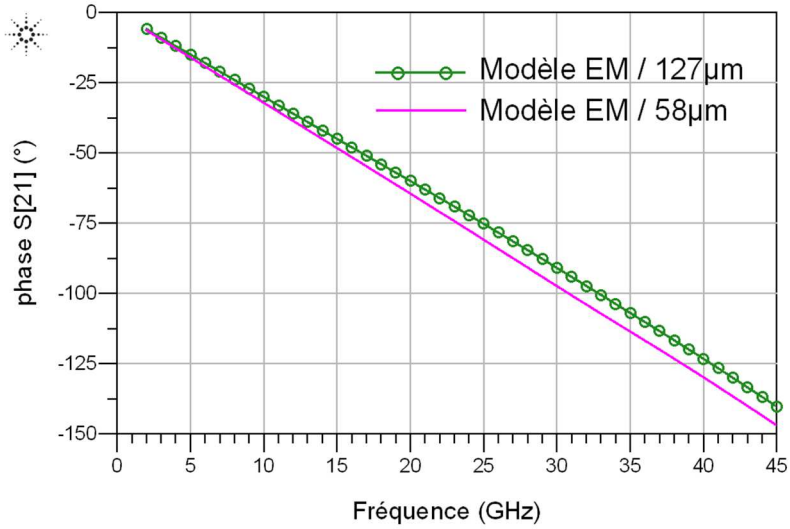


Figure III.13 : Comparaisons des rapports de phase observés entre deux simulations électromagnétiques d'une ligne coplanaire du wafer TS567 considérant deux positionnements des pointes RF différents.

Ces constatations mettent en avant l'importance des longueurs de lignes en jeux à des fréquences de plusieurs dizaines de gigahertz. Pour la suite de nos travaux, nous avons utilisé le modèle à base de l'élément MACLIN3 car les simulations EM sous l'outil MOMENTUM démontraient un plan de référence trop éloigné du posé de pointes considéré en mesure.

III.3. *Modélisation non-linéaire des sources de courant*

Les comparaisons entre les mesures de paramètres [S] et le modèle présentées au paragraphe précédent ont été obtenues pour un point de polarisation proche du point de repos lors d'un fonctionnement du transistor en régime d'amplification de puissance. Or, lors de l'application d'un signal radio fréquence de forte puissance, la commande du transistor est modifiée et suit les variations d'amplitude de ce signal. Le transistor ne fonctionne donc plus continuellement à sa polarisation de repos mais à une polarisation instantanée qui varie autour de ce point de repos, en suivant un cycle de charge imposé par l'amplitude du signal RF de forte puissance et la charge appliquée en sortie du transistor.

Il est donc nécessaire d'obtenir une modélisation fidèle de tout le réseau *I-V* ($I_{DS}(V_{GS})$) d'entrée et de sortie ($I_{DS}(V_{DS})$) pour refléter tous les cas de polarisation possibles.

Pour ce faire, il faut implémenter une source de courant non-linéaire, contrôlée par les tensions V_{GS} et V_{DS}. Les équations permettant de réaliser cette source de courant se basent sur le modèle dit GAMM, détaillées en [10] et [72] et redonnées également en annexe A3.

Les mesures en courant et tension du composant à modéliser ont, quant à elles, été obtenues grâce au banc de mesure I-V en impulsions, reposant sur le contrôleur d'alimentation BILT présenté au paragraphe III.2.a. Comme pour la mesure de paramètres [S] ayant servi à l'extraction des paramètres extrinsèques et intrinsèques du modèle, le point de repos choisi reste à V_{GS} = 0V et V_{DS} = 0V. Mais cette fois, les impulsions de tension V_{DS} et V_{GS} prennent différentes valeurs afin de connaître les limites en tension et courant du transistor : le courant maximal I_{DSS} atteint par le transistor à V_{GS} = 0V, le courant de fuites de grille I_{GS} et la tension drain-source limite V_{DSlim} mesurée pour laquelle le transistor commence à se dégrader avec une très forte augmentation du courant I_{DS} mesurée pour une tension V_{GS} appliquée correspondant à la tension de pincement.
Les valeurs limites observées pour les transistors InAlN/GaN, fabriqués au III-V Lab, ayant des longueurs de grille Lg = 0,15µm sont autour de : $I_{DSS} \geq$ 1A/mm (à V_{DS} = 10V), $V_{DSlim} \leq$ 25V, $I_{DS} \leq$ 1mA/mm (à V_{GS} = -7V et V_{DS} = 10V) et $I_{GS} \leq$ 1mA/mm (à V_{GS} = -7V et V_{DS} = 10V) ; sachant que la tension de pincement se situe autour de V_P = -3,5V.

Les mesures *I-V* présentées *Figure III.14* et *Figure III.15*, ont été effectuées pour un point de repos à V_{GS0} = 0V et V_{DS0} = 0V, une période et une largeur d'impulsions de respectivement 10µs et 850ns, une tension V_{GSi} variant de -4,5V à +2V et pour une tension V_{DSi} variant de 0V à 25V pour chaque point de tension V_{GSi}.
Ces mesures révèlent en premier lieu un mauvais pincement du transistor : pour une tension V_{GSi} = -4,5V (donc pour un état normalement pincé) le transistor présente un courant de drain I_{DSi} = 5mA/mm à V_{DSi} = 10V, soit 5 fois plus que le courant observé normalement à V_{GS} = -7V et V_{DS} = 10V. À V_{DSi} = 25V et V_{GSi} = -4,5V, le courant I_{DSi} dépasse 100mA/mm.
Par contre, les fuites de courant de grille restent acceptables avec I_{GSi} = 75µA/mm à V_{GSi} = -4,5V et V_{DSi} = 10V. Le courant de saturation de drain à V_{GS} = 0V est de I_{DSS} = 1,2A/mm.
Ce composant présente donc un bon niveau de courant de drain pour fournir de la puissance mais le mauvais pincement compliquera la réalisation du modèle.

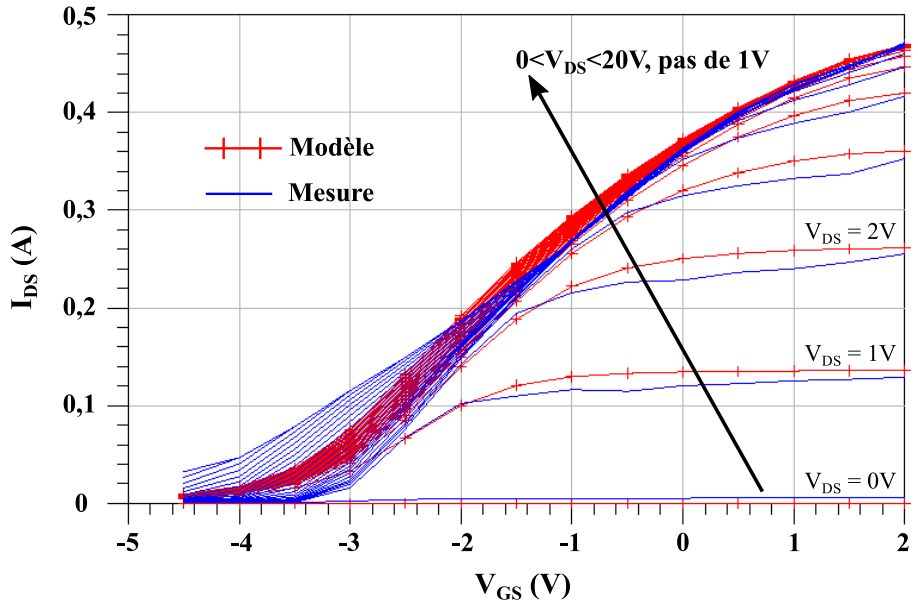


Figure III.14 : Comparaisons mesures/modèle de la caractéristique I-V d'entrée du transistor TS567_6x50D2S1G15.

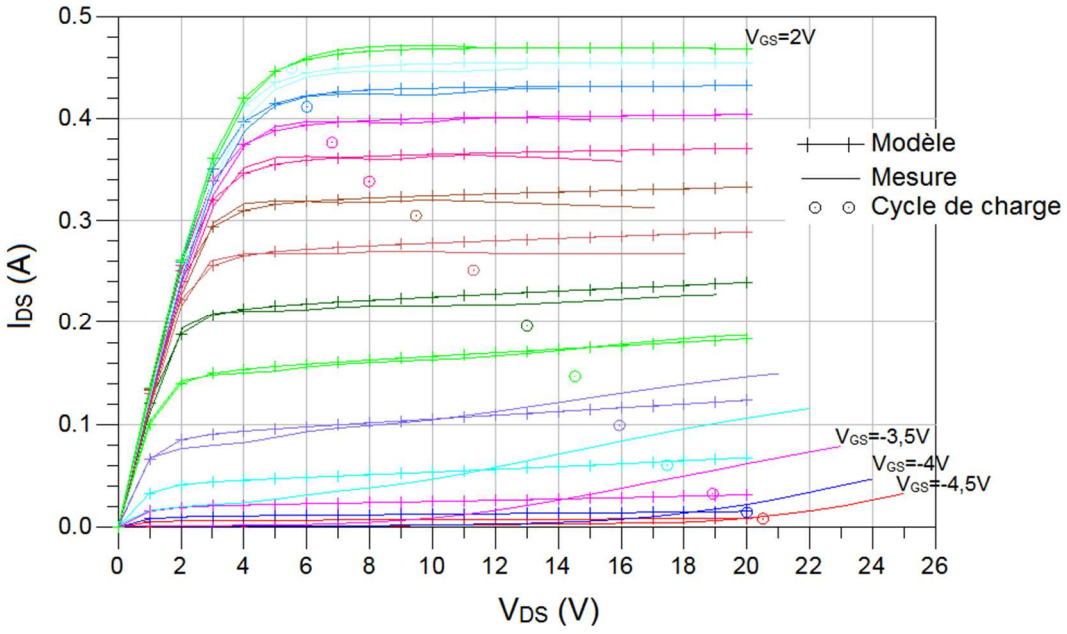


Figure III.15 : Comparaisons mesures/modèle de la caractéristique I-V de sortie du transistor TS567_6x50D2S1G15. Les cercles représentent les points du cycle de charge pour lesquels des mesures de paramètres [S] ont été réalisées.

Les figures précédentes montrent un bon accord obtenu entre les mesures I-V pulsées et leur modélisation notamment pour les courants de drain supérieurs à 100mA. Cependant, pour les courants inférieurs, il est plus difficile de retrouver exactement les mêmes allures des courbes. Ceci est attribué au pincement insuffisant des composants que le modèle a des difficultés à reproduire. Ces composants étant en constante amélioration, il n'est toutefois pas opportun de

tenter de reproduire ces effets liés à la non maturité des composants, l'amélioration de ce critère étant un des axes majeurs de recherche au III-V Lab. Nous avons donc choisi de faire des compromis et de faire correspondre les simulations avec les mesures en privilégiant la partie haute de la caractéristique de sortie.

Le *Tableau III.3* donne les valeurs extraites pour le transistor considéré :

Tableau III.3 : Paramètres de la source de courant du modèle GAMM du transistor TS567_6x50D2S1G15

Paramètres source de courant								
I_{DSS}	P	Vp0	Vdsp	Wneg	Wpos	Aneg	Apos	Rfuites
0,041	0,027	2,15	0,62	0	0,9	0,01	0,0001	5kΩ
Ssat1pos	Vsat1pos	Ssat2pos	Vsat2pos	gm_{smth}	Sstaneg	Vsatneg	Vdneg	N
1,8	2,1	0,4	0,45	0,2	0,5	0,2	0.15	1
Rho								
1								

Le rôle de chacun de ces paramètres est rappelé en annexe A.4.

III.4. Modélisation des capacités non-linéaires

La modélisation de notre transistor à un point de polarisation particulier a été présentée au paragraphe III.2 de ce chapitre. Le paragraphe III.3 a ensuite présenté un moyen de créer un modèle non-linéaire de source de courant, permettant de reproduire le comportement en courant et en tension de notre transistor. Cependant, les paramètres [S] simulés à cette étape de la modélisation ne sont pas conformes aux mesures à tous les points de polarisation. Ceci est dû au fait que les capacités grille-source C_{GS} et grille-drain C_{GD} sont en réalité dépendantes des deux tensions de commande V_{GS} et V_{GD} [73]. Or, les paramètres intrinsèques, qui comprennent ces deux capacités, ont été extraits au départ pour une valeur de polarisation bien déterminée. Il faut donc créer un modèle de capacité non linéaire qui prendra en compte les dépendances aux tensions de commande V_{GS} et $V_{GD.}$

Pour faciliter cette modélisation, nous avons choisi une modélisation à une seule dimension, c'est-à-dire que la capacité C_{GS} ne dépendra que de la tension V_{GS} et que la capacité C_{GD} ne dépendra que de V_{GD}. La modélisation judicieuse de ces capacités variables pourra donc se faire suivant une droite de charge optimale estimée [73].

Le deuxième point à souligner est que les capacités sont influencées par les effets thermiques [46]. Ainsi, pour obtenir une modélisation plus conforme au comportement futur du transistor lors de son utilisation dans une application bien précise, il faudrait effectuer les mesures de paramètres [S] en impulsions avec comme point de repos le point de polarisation de repos utilisé dans cette application.

Pour comprendre les équations associées à la modélisation de ces capacités, il faut s'appuyer sur les allures typiques des mesures de capacités en fonction des tensions de commandes. Les *Figure III.16* a) et b) comprennent les paramètres utilisés dans l'équation ci-dessous :

$$C_{Gx} = C_0 + \frac{C_1 - C_0}{2}\left[1 + \tanh\left(A \cdot (V_{Gx} + V_m)\right)\right] - \frac{C_2}{2}\left[1 + \tanh\left(B \cdot \left(V_{Gx} + V_p\right)\right)\right] \qquad (3.5)$$

Avec C_{Gx} et V_{Gx} valant respectivement C_{GS} et V_{GS} ou C_{GD} et V_{GD} [73].

La formule de la tangente hyperbolique associée aux autres paramètres C_0, C_1, C_2, A, B, Vm et Vp se prête bien à la modélisation de ces capacités.

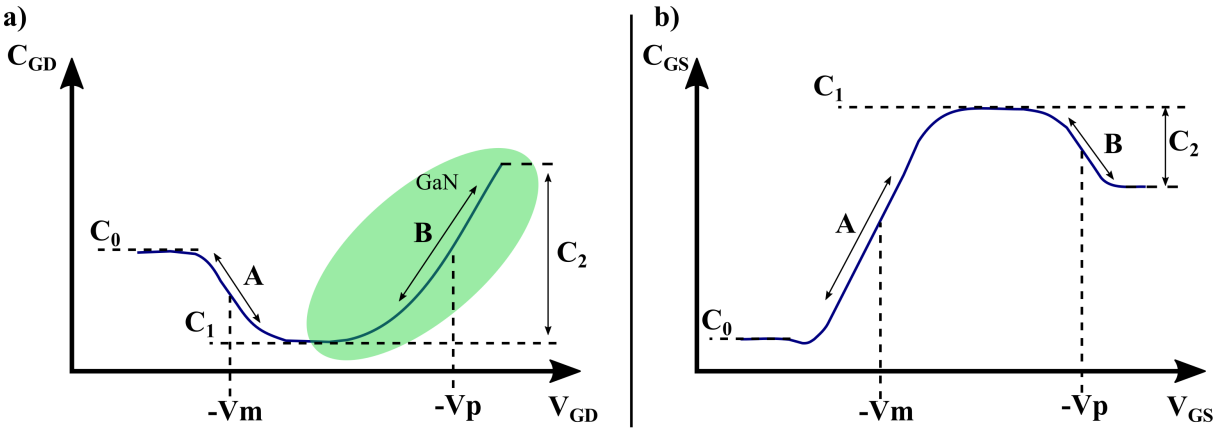


Figure III.16 : Courbes typiques de $C_{GD}(V_{GD})$ (figure a) et de $C_{GS}(V_{GS})$ (figure b) associées aux paramètres permettant leur modélisation.

Un logiciel développé au laboratoire Xlim permet de trouver une solution à ces équations en se basant sur des mesures de paramètres [S] impulsionnels effectués à plusieurs points de polarisation instantanés ainsi que sur les paramètres extrinsèques et intrinsèques du modèle électrique.

Les mesures de paramètres [S] en impulsions ont été effectuées pour plusieurs points de polarisations instantanés d'un cycle de charge, correspondant aux cercles *Figure III.13*. Pour les raisons évoquées au paragraphe III.2.a, ces mesures ont été effectuées à une polarisation de repos V_{GS0} = 0V et V_{DS0} = 0V.

Le jeu de paramètres extraits est présenté dans le *Tableau III.4*. Ce modèle permet d'obtenir la superposition modèles/mesures de capacités illustrée *Figure III.17*.

Tableau III.4 : Paramètres associés à la modélisation des capacités non-linéaires C_{GD} & C_{GS}

C_{GD} 1D		C_{GS} 1D	
C_0 (fF)	50	C_0 (fF)	70
C_1 (fF)	26	C_1 (fF)	570
C_2 (fF)	-4200	C_2 (fF)	240
A	0 ,4	A	1,2
B	0,113	B	1,2
Vm	23	Vm	3,2
Vp	-14	Vp	0,5

Sur les relevés de mesures correspondant à la capacité C_{GD}, présentés en *Figure III.17*, la pente a une allure exponentielle forçant à choisir des valeurs pour les paramètres Vp_{GD} et $C2_{GD}$ hors de l'échelle des axes affichée ici.

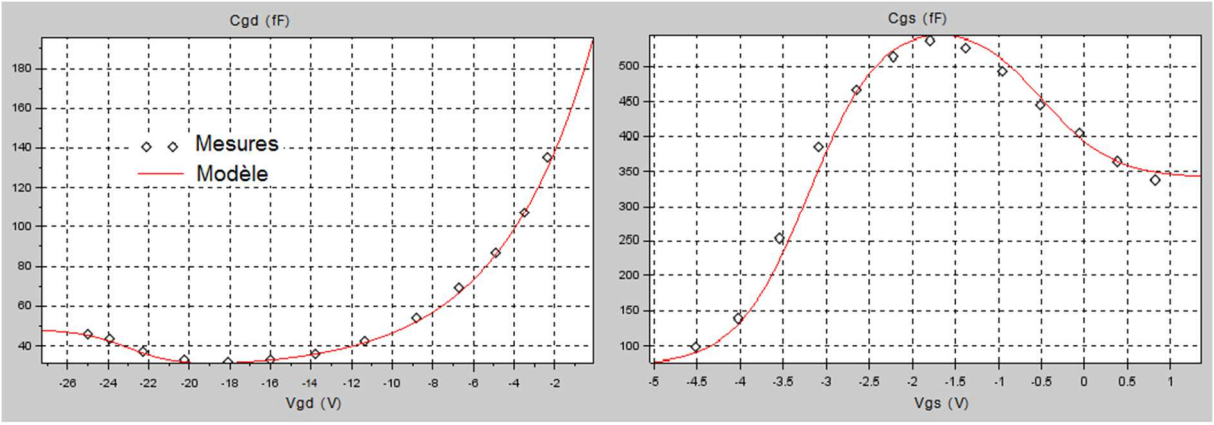


Figure III.17 : Comparaisons entre mesures et modèles des capacités non-linéaires C_{GD} (à gauche) et C_{GS} (à droite).

III.5. *Ajout de la dépendance aux effets thermiques*

Comme rappelé tout au long de ce manuscrit, la température est un paramètre très influent sur le comportement du transistor. Il est donc essentiel de prendre en compte ces effets, d'autant plus que notre modèle, constitué d'après les étapes précédentes, repose sur des mesures effectuées à un point de polarisation de repos « froid » (V_{GS} = 0V et V_{DS} = 0V). Il faut désormais identifier les paramètres du modèle les plus sensibles aux effets thermiques et leurs ajouter cette nouvelle dépendance.

La modélisation de l'élévation de température dans le composant devra être fonction de deux variables : la puissance dissipée par le transistor ainsi que le temps. Pour ce faire, le modèle GAMM utilise une cascade de réseaux RC mis en parallèle à une source de courant. Les réseaux RC modélisent les différentes constantes de temps thermiques et la source de courant modélise la puissance dissipée par le transistor. Une source de tension est ajoutée en série de l'ensemble « source de courant – réseaux RC » pour modéliser l'apport de la température ambiante. Dans l'équivalence « électrothermique », la température est représentée par la tension aux bornes de ce montage, ainsi que l'illustre la *Figure III.18* ci-dessous.

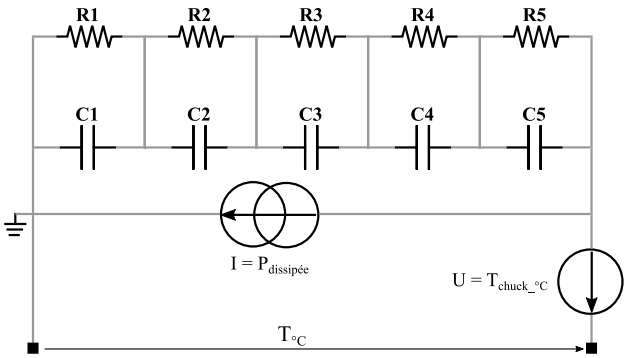


Figure III.18 : Circuit électrique modélisant la température du composant.

Les éléments de ce circuit équivalent électrothermique sont issus de résultats de simulations physiques réalisées au III-V Lab, pour une puissance dissipée de 7W/mm et un empilement GaN/TBR/6H-SiC(380µm)/Interface(SiC-Al)(20µm)/Al5086(1mm).

Cet empilement correspond à une brasure du composant sur une embase en aluminium et est représentatif d'une utilisation en module. Plus le nombre de cellules thermiques RC, donc de constantes de temps, est grand, plus la réponse temporelle de la température sera facile à reproduire. Ces constantes de temps n'ont donc pas de signification physique. Il est toutefois à noter que pour un développement de transistor plus grand, seules les constantes de temps les plus lentes seront modifiées.

Pour notre modèle, nous avons choisi un montage comprenant 5 réseaux RC puisque 5 constantes de temps permettaient de reproduire correctement les variations thermiques obtenues en simulation physique, comme l'illustre la *Figure III.19*.

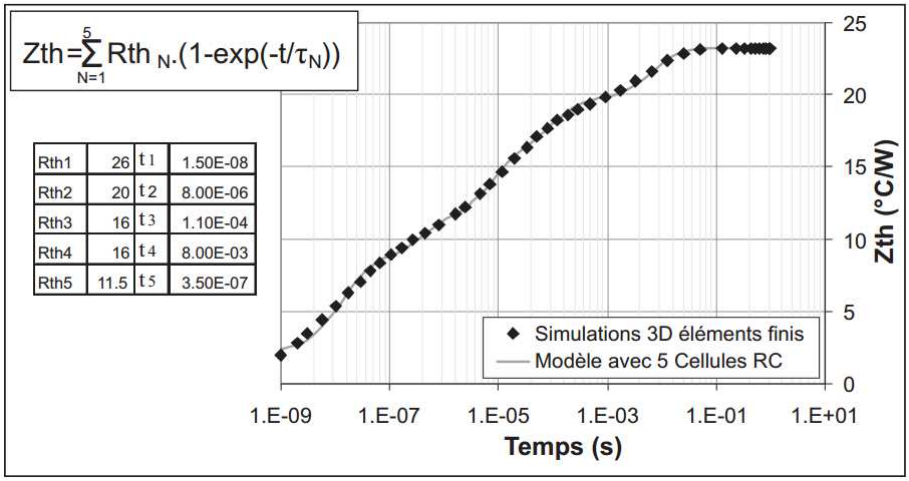


Figure III.19 : Evolution simulée grâce au modèle par éléments finis du transistor 6x50µm TS567 de la température du composant pour une température ambiante de 30˚C et une puissance dissipée de 7 W/mm en fonction du temps.

Cette modélisation électrothermique, par réseaux RC, correspond à une simplification de l'effet de la température dans le composant, puisqu'on ne tient pas compte de la distribution de la température dans le volume du composant et que la résistance thermique n'est pas variable en fonction de la température. Cependant, les différentes études conduites sur la comparaison entre les deux modèles à résistance thermique constante ou variable n'ont pas démontré de grande différence. Les équations associées à cette modélisation peuvent être retrouvées en [10].

III.6. Modélisation des effets de pièges

Ce manuscrit met en avant l'importance de la prise en considération des effets de pièges pour comprendre les résultats de mesure. Il est donc essentiel de pouvoir les modéliser et les intégrer au modèle électrique du transistor.

Le modèle GAMM apporte une modélisation possible des effets de pièges au travers de deux circuits introduisant des phénomènes transitoires, reproduisant les effets de gate-lag et les effets de drain-lag. Dans les premières versions du modèle GAMM, ces circuits étaient commandés par la tension de grille V_{GS} afin de moduler le courant I_{DS}, mais une modification de ce principe a été rapportée dans une publication du III-V Lab en 2013 [56]. Une représentation schématisée du circuit de drain-lag de cette nouvelle version est présentée *Figure III.20*.

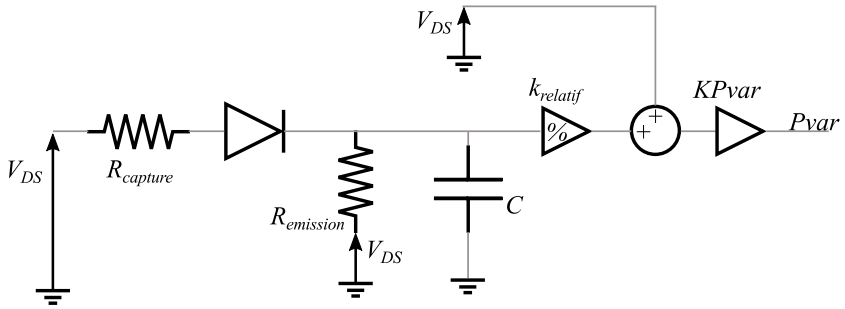


Figure III.20 : Synoptique d'un sous-circuit non-linéaire modélisant les effets de drain-lag dus à un piège

Cette modélisation permet, lorsque la tension V_{DS} augmente de reproduire l'effet de capture d'un piège puisque la diode se met à conduire le courant qui charge la capacité C en passant par la résistance $R_{capture}$. La constante de temps de capture est alors déterminée par le produit $R_{capture}$ x C, à condition que $R_{capture}$ soit bien plus faible que $R_{emission}$. De même, l'effet d'émission du piège est reproduit lorsque la tension V_{DS} diminue et que la diode se bloque. La constante de temps d'émission est alors donnée par le produit $R_{emission}$ x C.

Cette modification améliore la modélisation des transitoires de courants pendant l'application d'impulsions RF, en ajoutant la contribution des modèles d'effets de pièges sur la commande de la tension V_P ainsi que sur le niveau du courant I_{DSS}:

$$Vp1 = Vp0 - KPvar \cdot Pvar \tag{3.6}$$

$$Vp = Vp1 + above(-V_{DS} \cdot (1 - Vdneg), 10^{-4}, 0) + P \cdot V_{DS} \tag{3.7}$$

$$I_{DSS1} = I_{DSS} \cdot (\frac{Vp1}{Vp0}) \tag{3.8}$$

$$I_{DSS} = I_{DSS1} \cdot dhyp(Vdsn + A \cdot Vdsn^3) \cdot V_{GSn} \tag{3.9}$$

Avec *KPvar*, un facteur d'amplitude des effets de pièges et Pvar, la tension modélisant la contribution des effets de gate-lag et de drain-lag. Les variables *Vdneg*, *A* et V_{GSn}, ainsi que les autres équations associées au modèle peuvent être retrouvées en [10] mais sont également redonnées en annexe A.3 puisqu'elles ont subi de légères modifications depuis.

Cette modification décorrèle mieux l'action du drain-lag sur la tension V_{GD} et prend également mieux en compte les effets de pièges détectés à basse fréquence, que nous avons détaillés au chapitre II.

Nous ne détaillerons pas ici le fonctionnement de cette modélisation mais nous présenterons une modification possible du modèle afin d'être en accord avec la modélisation d'un piège par un circuit RC comme expliqué au chapitre II.

En effet, dans le modèle initial, l'émission et la capture d'un piège étaient bien modélisées chacune par un circuit RC mais également par un facteur k contrôlant l'amplitude de l'effet de chaque piège [10]. Or, d'après l'étude de la détection de pièges par des mesures de paramètres [S] basses fréquences, rapportée au chapitre II, l'amplitude des lobes observés sur la réponse de la partie imaginaire du paramètre Y_{22} doit correspondre à $g_n/2$ (g_n étant l'inverse de la résistance du réseau RC modélisant le piège, *cf* équation (2.7)). Ceci n'est plus le cas ici puisque le facteur k rentre en compte.

Les mesures de paramètres [S] basses-fréquences effectuées sur notre composant et présentées *Figure III.21* révèlent nettement la présence d'un piège. Mais une modélisation de cette mesure par l'ajout d'un seul circuit RC serait insuffisante. En effet, en analysant plus

finement la mesure de la partie imaginaire du paramètre Y_{22}, celle-ci révèle un lobe bien marqué mais large ainsi qu'un plateau en fin de bande de fréquence.

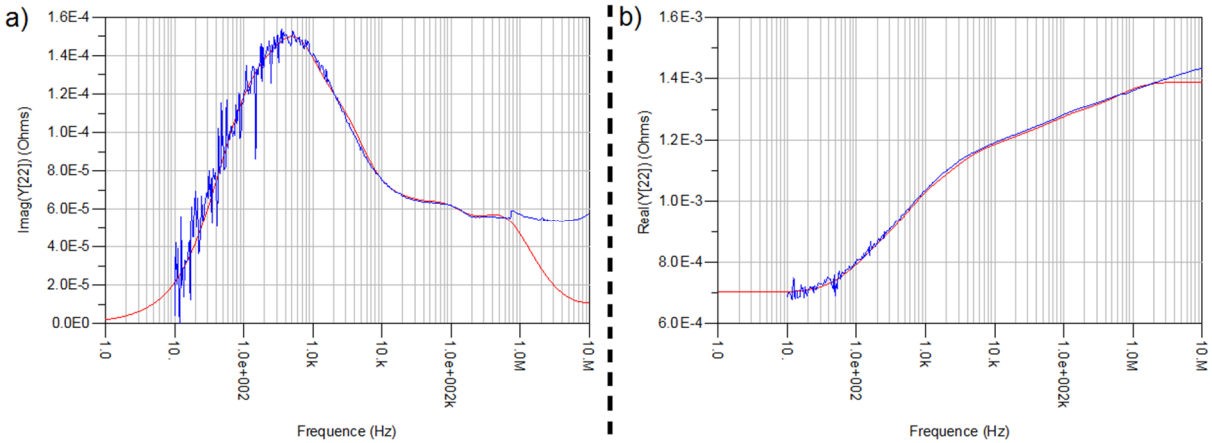


Figure III.21 : Superposition de la mesure de la partie imaginaire du paramètre Y_{22} a) ainsi que de la partie réelle du paramètre Y_{22} b) avec la simulation issue du modèle comprenant le réseau de circuits RC décrit figure III.21, pour le composant TS567_6x50D2S1G15.

Afin de modéliser correctement ces mesures de paramètres [S] basse fréquence réalisées sur notre transistor, plusieurs réseaux RC doivent être mis en parallèle (comme l'illustre la *Figure III.22*), faisant apparaître plusieurs constantes de temps. Aussi, pour reproduire cette allure particulière, nous démontrons qu'il faut au minimum ajouter sept circuits RC : 4 pour modéliser le large lobe compris entre 10Hz et 10KHz et 3 pour modéliser le plateau visible après 10KHz. En effet, comme expliqué au chapitre II, des lobes trop proches en fréquence se mélangent et déforment alors la perception d'un lobe unique avec une amplitude et une largeur non conformes. Nous nous servons de ce principe pour reconstituer le large lobe détecté en mesure. Il en va de même pour le plateau observé en fin de bande de fréquence : après le large lobe, les valeurs de la courbe de la partie imaginaire du paramètre Y_{22} devraient diminuer pour approcher zéro. Or celles-ci se stabilisent autour de $6x10^{-5}$ Ω. Ceci implique que d'autres pièges ou un continuum de défauts soient présents.

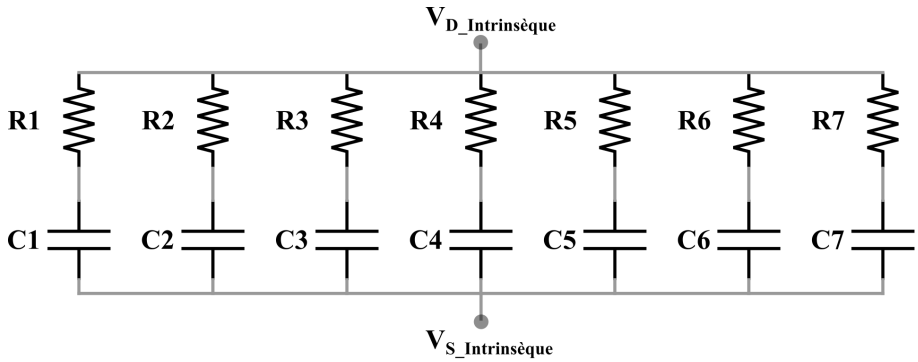


Figure III.22 : Réseau de circuits RC modélisant diverses constantes de temps associées à des phénomènes de piégeage.

Les paramètres de ce réseau de circuits RC sont donnés dans le *Tableau III.5* ci-dessous :

Tableau III.5 : Valeurs des paramètres associés aux éléments du réseau RC reproduisant les effets de pièges mesurés en basses-fréquences sur le composant TS567_6x50D2S1G15

Paramètres des circuits RC						
R1 (Ω)	R2 (Ω)	R3 (Ω)	R4 (Ω)	R5 (Ω)	R6 (Ω)	R7 (Ω)
11000	7900	4800	7300	17400	12400	9800
C1 (F)	C2 (F)	C3 (F)	C4 (F)	C5 (F)	C6 (F)	C7 (F)
$2{,}25\times10^{-7}$	$1{,}3\times10^{-7}$	$5{,}5\times10^{-8}$	7×10^{-9}	$4{,}5\times10^{-10}$	$4{,}5\times10^{-10}$	$2{,}6\times10^{-11}$

Ainsi que le montre la *Figure III.21*, les courbes de simulations ne sont pas conformes à la mesure en fin de bande de fréquence mesurée. Ce résultat est volontaire afin de mettre en avant le fait que plusieurs constantes de temps étaient nécessaires pour modéliser les courbes obtenues en mesure. En effet, pour maintenir un niveau constant et obtenir le « plateau » visible après 10KHz, un nombre important de constantes est nécessaire. En ne mettant que 3 constantes de temps pour modéliser ce plateau, il apparaît nettement que les valeurs de $ImagY_{22}$ diminuent et tendent vers zéro juste après le dernier lobe à 700KHz modélisé par le septième circuit RC.

Le problème de cette modélisation est qu'elle n'est valable que pour une simulation petit-signal à un point de polarisation précis. En effet, en basse fréquence, la conductance drain-source G_{DS} est égale à sa valeur en continu, mais en haute fréquence, elle est égale à sa valeur en continu plus une partie variable [74].

$$G_{DS\,HF} = G_{DS\,DC} + \Delta G_{DS} \qquad (3.10)$$

Or, en utilisant un simple réseau composé de branches RC, cette partie variable ΔG_{DS} de la conductance drain-source en haute fréquence se retrouve justement constante quelle que soit la polarisation.

De plus, la connexion directe du réseau RC entre le drain et la source créé une source de courant qui s'additionne à la source de courant non-linéaire. Or cette source de courant n'est valide que pour reproduire la conductance de sortie à un point de mesure. En l'additionnant à la source de courant, le réseau I-V entier se retrouve modifié et des incohérences apparaissent aux autres points de polarisations, comme l'apparition d'un courant I_{DS} négatif. L'ajout d'une source de courant apportée par les effets de pièges ne reflète également pas le comportement physique du composant, pour lequel une seule source de courant existe. Les effets de piégeage et dépiégeage modifient le courant de cette source mais ne créent pas un nouveau courant.

Afin de modéliser correctement les effets de pièges, il devient nécessaire d'utiliser les modèles de drain-lag et de gate-lag du modèle GAMM. En effet, avec ces modèles, les réseaux R-C permettant l'ajout de constantes de temps modélisant les effets de pièges ne sont pas directement connectés en parallèle de la source de courant non-linéaire. Leur contribution est ajoutée dans les équations même de la source de courant, en l'occurrence au niveau de la définition de la tension de pincement Vp. Dès lors, on peut tout de même retrouver des valeurs de paramètres du modèle GAMM permettant d'ajuster les courbes de simulation basse fréquence avec les mesures, mais ce seront des paramètres d'ajustage, sans réelle valeur physique.

La mesure de gate-lag et de drain-lag déjà présentée au paragraphe II.1 du chapitre II est redonnée *Figure III.23* :

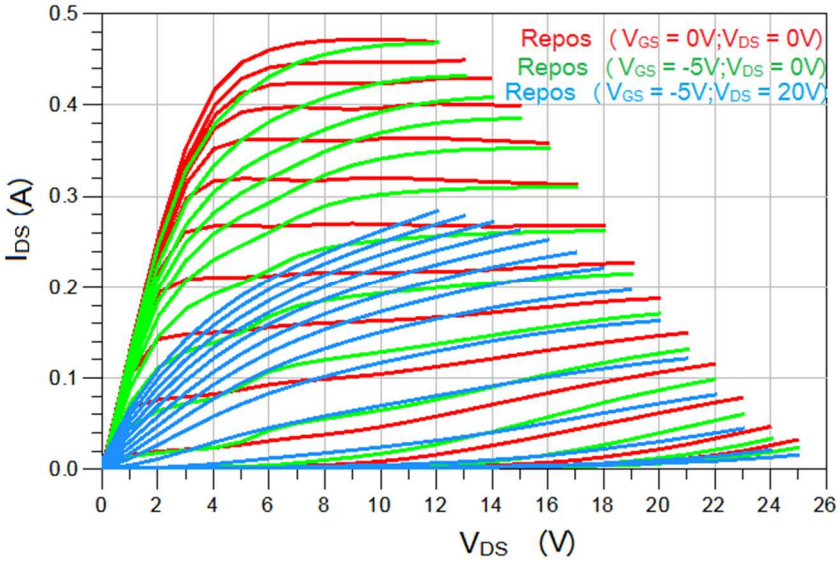


Figure III.23 : Evaluation des effets de lag induits par des phénomènes de piégeage, obtenue par des mesures I-V en impulsions avec trois points de polarisation de repos différents, pour une largeur de pulse de 850ns et une période de 10µs, sur le transistor TS567_6x50D2S1G15. Les mesures sont effectuées pour une tension V_{GS} comprise entre -4,5V et 2V par pas de 0,5V.

La forme très particulière et très accentuée des courbes de gate-lag et de drain-lag obtenues en mesure est difficilement modélisable avec les modèles de pièges actuels. Le problème vient notamment du fait que le composant mesuré n'était pas issu d'un process qualifié et présentait donc des défauts de robustesse. Les mesures en impulsions ont dégradé l'état initial du transistor rendant sa modélisation difficile par les modèles conventionnels.
Les *Figure III.24* et *Figure III.25* présentent le meilleur accord possible entre la modélisation et les mesures de lag avec le modèle de piège GAMM.

Ces comparaisons modèle/mesures montrent bien que, même si l'amplitude du courant I_{DS} pour des mesures de gate-lag et de drain-lag peut globalement être retrouvée, la forme des courbes ne correspond pas. Ces différences s'expliquent par le fait que les performances du composant se dégradaient pendant la mesure, ce qui a fait apparaître des résultats ne reflétant pas un comportement trivial de transistor HEMT en GaN.

On notera également la présence de l'effet « Kink » sur les courbes de mesure de gate-lag, identifié par le cercle en pointillés rouge sur la *Figure III.24*. Visuellement, cet effet est perçu comme une brusque remontée du courant I_{DS}, mais c'est en réalité un affaissement du courant dans cette zone, engendré par des phénomènes de capture [75], [76].

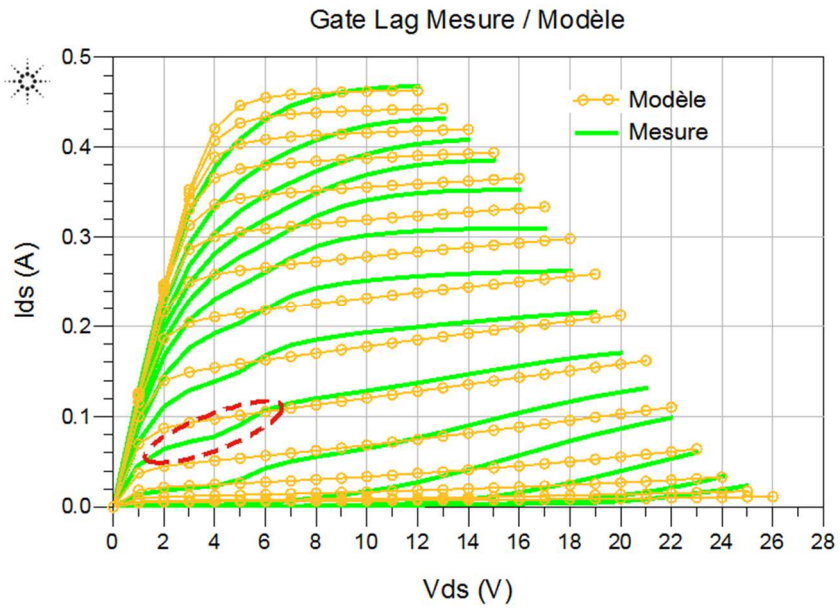


Figure III.24 : Comparaison des réseaux I-V de sortie du transistor TS567_6x50D2S1G15 obtenus via les simulations du modèle GAMM et les mesures en impulsion, pour une polarisation de repos (V_{GS} = -5V ; V_{DS} = 0V), illustrant les effets de gate-lag. Le cercle rouge met en avant le phénomène d'effet kink.

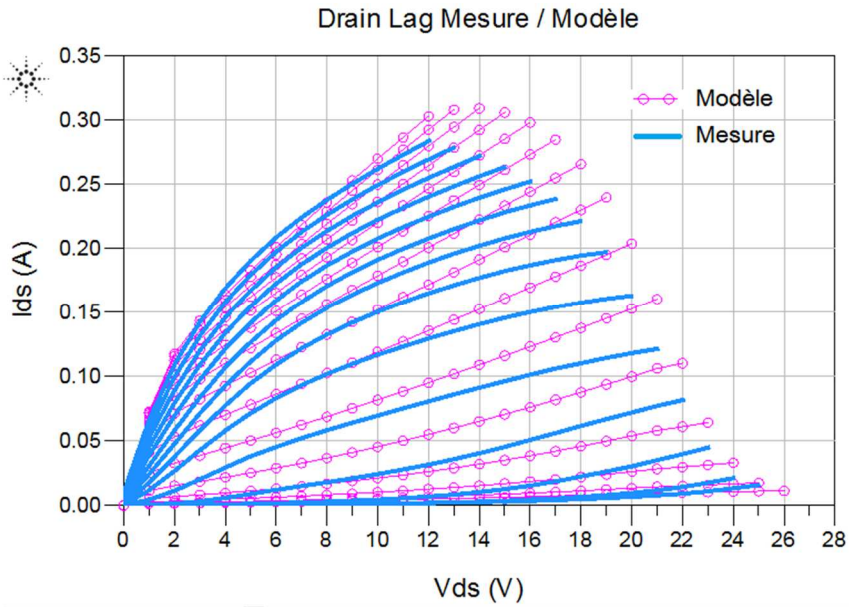


Figure III.25 : Comparaison des réseaux I-V de sortie du transistor TS567_6x50D2S1G15 obtenus via les simulations du modèle GAMM et les mesures en impulsion, pour une polarisation de repos (V_{GS} = -5V ; V_{DS} = 20V), illustrant les effets de drain-lag.

Les modèles de pièges implémentés ne pouvant prendre en compte des effets aussi particuliers, il devient difficile d'obtenir une modélisation fidèle aux mesures.

D'autre part, en augmentant la valeur du paramètre d'amplitude de drain-lag, pour forcer l'amplitude des courbes du courant I_{DS} simulé à correspondre à celle de la mesure de drain-lag, la contribution des pièges dans le modèle devient trop importante vis-à-vis des résultats de mesure du paramètre Y_{22} en basse fréquence, ainsi que des résultats de mesure load-pull, que nous abordons au prochain paragraphe. Or, nous prendrons les mesures load-pull comme référence pour élaborer le modèle final.

Il sera donc quasiment impossible de reproduire fidèlement par modèle le comportement obtenu avec les différentes mesures effectuées sur un tel composant. Nous conservons tout de même les modèles de gate-lag et de drain-lag afin de pouvoir ajuster les performances simulées du modèle global aux mesures grand-signal présentées au prochain paragraphe.

IV Validation du modèle en régime de forte puissance RF

Pour nos applications d'amplification de puissance, une modélisation conforme avec des mesures en fort signal comme des mesures load-pull est nécessaire. Cette mesure est essentielle pour déterminer les zones d'impédances optimales de charge à la fréquence fondamentale et aux fréquences harmoniques [77], [78].

Pour ces travaux de thèse, nous visions initialement une utilisation du transistor pour la conception d'un amplificateur fonctionnant autour de 30GHz. Or, pour des raisons de disponibilité de bancs de mesures, nous avons effectué dans un premier temps des mesures load-pull à 18GHz dans le cadre d'un projet avec la société AMCAD Engineering. Le modèle a donc été élaboré pour être conforme avec ces mesures, puis des résultats à 30GHz ont été extrapolés par simulation. Une comparaison des résultats issus de ces simulations à 30GHz avec des mesures load-pull à 30GHz a par la suite été rendue possible grâce à des mesures réalisées par l'entreprise MC2 technologies.

Durant nos étapes de caractérisation, nous avons été confrontés à des défauts de jeunesse de ces composants en phase de développement. Nous avons pu constater une faible robustesse à la tenue en tension V_{DS} des composants ainsi que leur difficulté à assurer un pincement efficace pour des tensions V_{DS} supérieures à 10V. Ceci a fortement compliqué la cohérence globale entre toutes les mesures (I-V pulsés, paramètres [S] et load-pull). Cependant, puisque l'utilisation future de ces transistors concernera une application de puissance, nous avons préféré valider le modèle sur des résultats de mesure load-pull, quitte à dégrader la conformité du modèle avec les autres mesures de références présentées dans les paragraphes précédents.

IV.1. Validation modèle / mesures à 18GHz

Les mesures load-pull ont donc été réalisées tout d'abord à la fréquence de 18GHz. Une préadaptation de l'entrée du transistor via un tuner mécanique a été utilisée. Pour la sortie, un nuage d'impédances situé autour du complexe conjugué du paramètre S_{22} a été appliqué devant permettre d'encercler les impédances optimales en puissance et en rendement. La polarisation a été choisie à une tension drain-source V_{DS} = 20V et à un courant de drain de repos I_{DS} = 100mA/mm (30mA pour ce transistor de 6 doigts de 50µm de large). La puissance d'entrée a été balayée de -11dBm à 26dBm.

Dans la suite du paragraphe, nous présentons des résultats de simulations superposés à des relevés de mesures pour différentes impédances de charge et pour des points de polarisation différents.

Le composant mesuré ne présentant pas un bon pincement, nous ne pouvons pas reproduire correctement le comportement de notre transistor avec le modèle GAMM actuel. En effet, la transconductance g_m définie par la source de notre modèle, ne permet pas de bien reproduire l'allure de transconductance observable sur ces composants. De plus, le point de repos choisi pour les mesures load-pull à 18GHz se trouve être dans la zone de dépincement du transistor, ce qui amplifie l'erreur retrouvée dans les comparaisons entres les mesures et le modèle, illustrées dans les *Figure III.26* à *Figure III.31*. Pour compenser les différences obtenues entre les résultats de mesure et de simulation load-pull basée sur le modèle établi en régime de faible puissance, il a été nécessaire de modifier légèrement certains paramètres du modèle, notamment sur la tension de pincement, la transconductance et les capacités non-linéaires grille-drain et grille-source.

Les *Figure III.26* et *Figure III.27* présentent les résultats de mesure et de simulation en puissance, rendement et gain à 18GHz, pour une impédance de charge Zout = 19,5+30,8j qui correspond à l'impédance donnant le maximum de rendement en puissance ajoutée PAE. Le jeu de paramètres (que l'on notera « Params 1 ») du modèle utilisé pour ces simulations, correspond au meilleur ajustement possible pour reproduire l'allure du gain observé en mesure, comme illustré *Figure III.27*. Par contre, pour obtenir cette allure, le courant I_{DS} simulé doit être de 10mA, soit le tiers du courant obtenu en mesure.

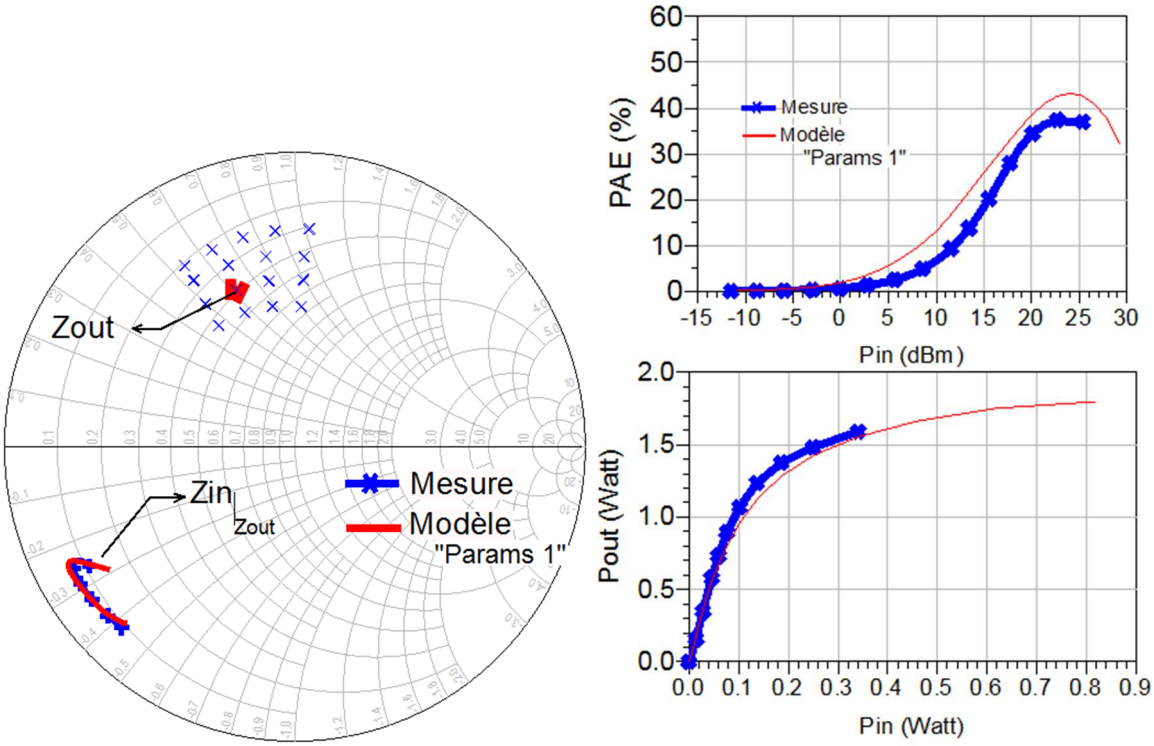


Figure III.26 : Comparaisons mesures / simulation à 18GHz, V_{DS} = 20V, I_{DS} = 33mA/mm, de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du rendement en puissance ajoutée PAE pour une impédance Zout donnant le maximum de PAE.

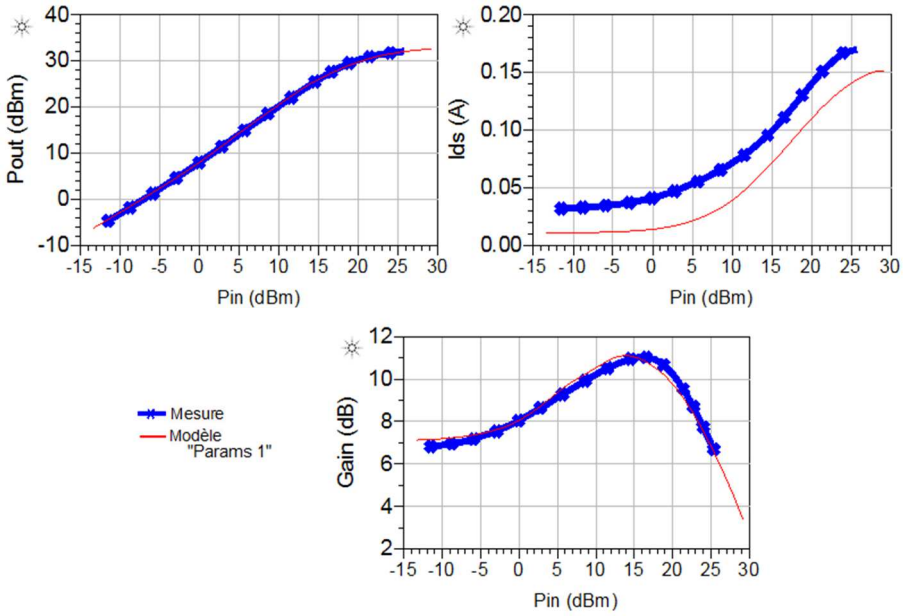


Figure III.27 : Comparaisons mesures / simulation à 18GHz, V_{DS} = 20V, I_{DS} = 33mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout donnant le maximum de PAE.

En gardant les mêmes paramètres du modèle adaptés pour se conformer à l'allure du gain observée en mesure, on peut effectuer une simulation à un point de polarisation égal au point

de polarisation de repos défini en mesure, soit V_{DS} = 20V I_{DS} = 30mA. Ces résultats sont présentés *Figure III.28* et *Figure III.29*.

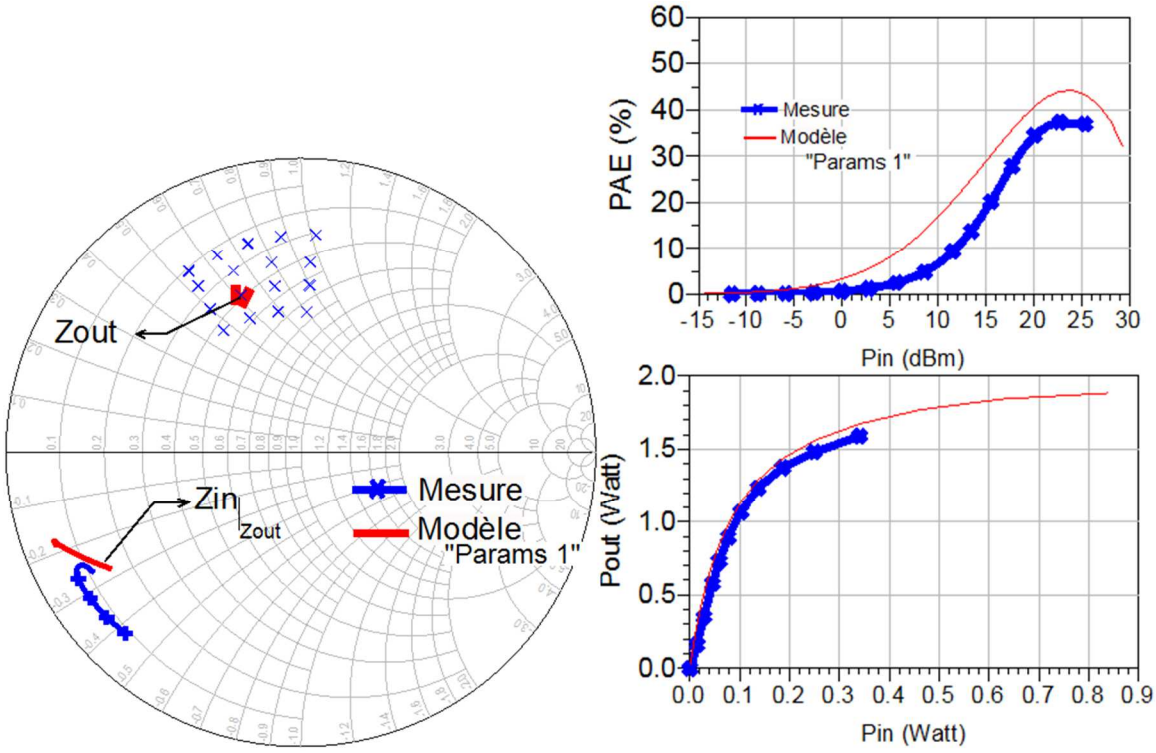


Figure III.28 : Comparaisons mesures / simulation à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm, de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du rendement en puissance ajoutée PAE pour une impédance Zout donnant le maximum de PAE.

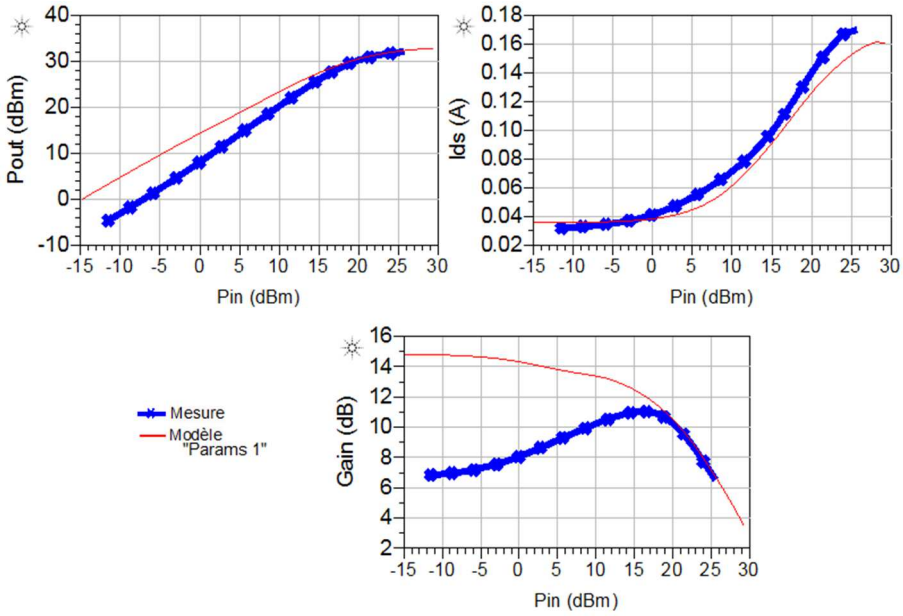


Figure III.29 : Comparaisons mesures / simulation à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout donnant le maximum de PAE.

En comparant les *Figure III.26* à *Figure III.29*, on se rend compte que le jeu de paramètres « Params 1 » permet de bien reproduire l'allure du gain mesuré depuis les faibles puissances jusqu'à la compression. Par contre, ceci est obtenu pour un point de polarisation simulé différent de celui fixé en mesure. Au point de polarisation V_{DS} = 20V et I_{DS} = 100mA/mm, utilisé en mesure, ce jeu de paramètre permet de reproduire l'allure du courant mesuré mais ne permet plus de reproduire l'allure du gain en faible puissance d'entrée. Or, ce changement de classe de fonctionnement modifie les valeurs des capacités non-linéaires C_{GS} et C_{GD} qui sont dépendantes de la polarisation appliquée. Ceci entraîne de ce fait une modification importante de l'impédance d'entrée du transistor.

Puisque le modèle du transistor doit être utilisé pour la conception d'un amplificateur fonctionnant au point de polarisation V_{DS} = 20V I_{DS} = 30mA, il est nécessaire de retrouver un jeu de paramètres du modèle redonnant une impédance d'entrée correspondante à celle mesurée. En effet, retrouver un gain à bas niveau de puissance d'entrée conforme à la mesure est moins important qu'une impédance d'entrée fidèle à la mesure, puisque toute la difficulté de la conception repose sur le dimensionnement d'une architecture d'adaptation d'impédance de sortie et d'entrée des transistors. Il faudra alors garder à l'esprit que nous aurons un biais sur les valeurs des gains observés à bas niveau lors de la conception.

Les *Figure III.30* à *Figure III.35* présentent des comparaisons entre résultats de mesure et de simulation load-pull à plusieurs impédances de charges différentes pour un jeu de paramètres du modèle (noté « Params 2 ») permettant de retrouver une impédance d'entrée Z_{in} conforme à la mesure au point de polarisation V_{DS} = 20V, I_{DS} = 30mA. Les paramètres du modèle modifiés, sont donnés dans le *Tableau III.6*. Il s'agit de quelques paramètres intrinsèques (capacités non-linéaires C_{GS} et C_{GD} et capacité C_{DS}), de quelques paramètres de la source de courant (Vp0, gm_{smth}), ainsi que la valeur de la contribution du drain-lag.

Tableau III.6 : Paramètres de la source de courant du modèle GAMM du transistor TS567_6x50D2S1G15 après une optimisation du modèle pour un fonctionnement en large signal

Paramètres source de courant								
C_{DS}	**$C_{GS}0$**	**$C_{GS}1$**	**$C_{GS}2$**	**A_{GS}**	**B_{GS}**	**Vm_{GS}**	**Vp_{GS}**	**Drain-Lag**
55 fF	60	400	220	4	0,3	3,6	0,7	$4x10^{-4}$
$C_{GD}0$	**$C_{GD}1$**	**$C_{GD}2$**	**A_{GD}**	**B_{GD}**	**Vm_{GD}**	**Vp_{GD}**	**gm_{smth}**	**Vp0**
45	25	-2000	-0,5	0,12	30	-15	0,25	2,65

Les *Figure III.30* et *Figure III.31* comparent les résultats de mesure et de simulation load-pull pour une impédance de charge Zout = 19,5+30,8j qui correspond à l'impédance donnant le maximum de rendement en puissance ajoutée PAE.

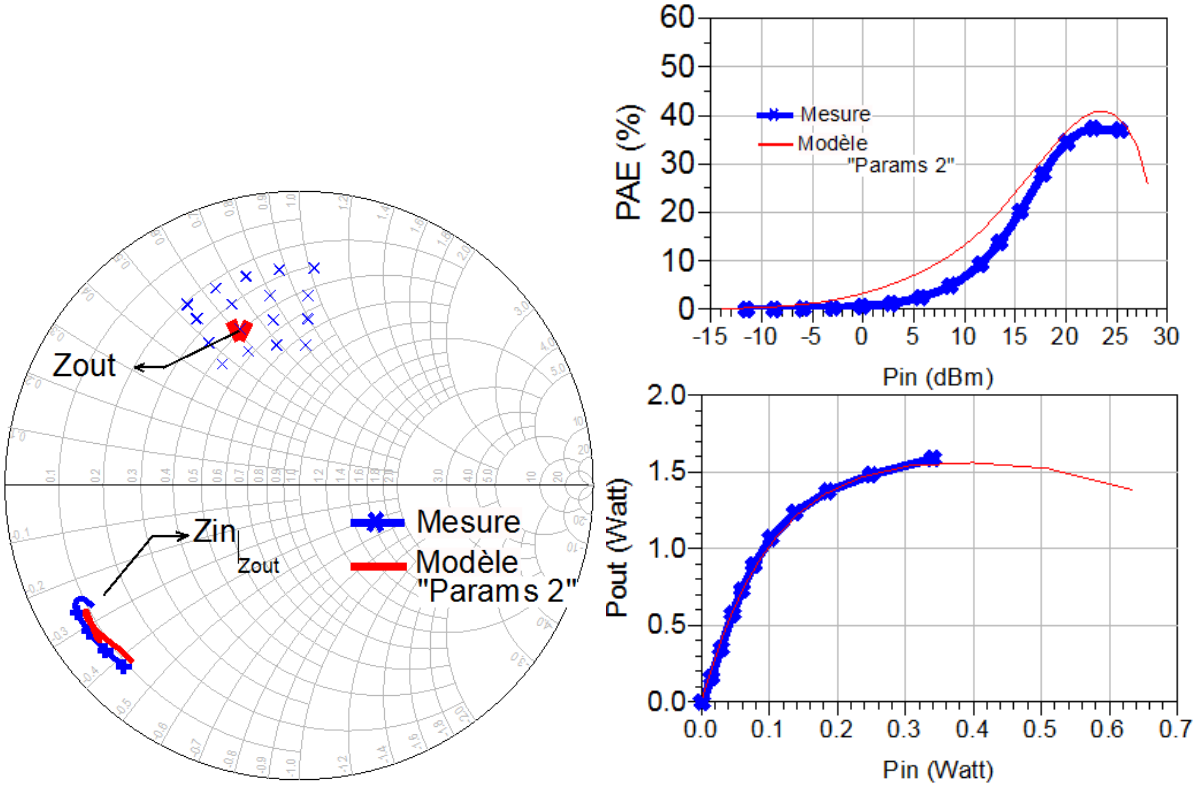


Figure III.30 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm, de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du rendement en puissance ajoutée PAE pour une impédance Zout donnant le maximum de PAE.

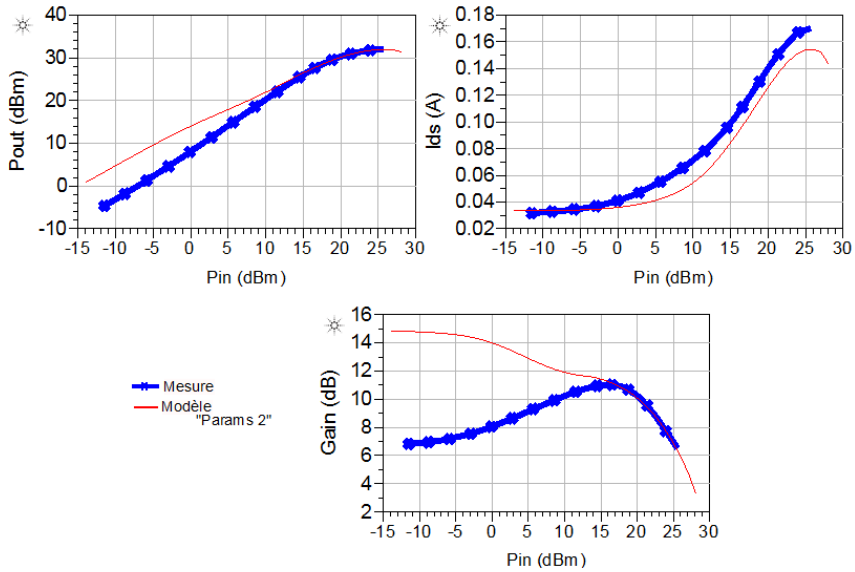


Figure III.31 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout donnant le maximum de PAE.

Afin d'illustrer la validité du modèle pour diverses impédances de charges, les *Figure III.32* à *Figure III.35* présentent des comparaisons de résultats de mesure et de simulations load-pull pour deux impédances de charges Zout = 15,5+51j (*Figure III.31* et *Figure III.32*) et Zout = 32,5+40,3j (*Figure III.34* et *Figure III.35*).

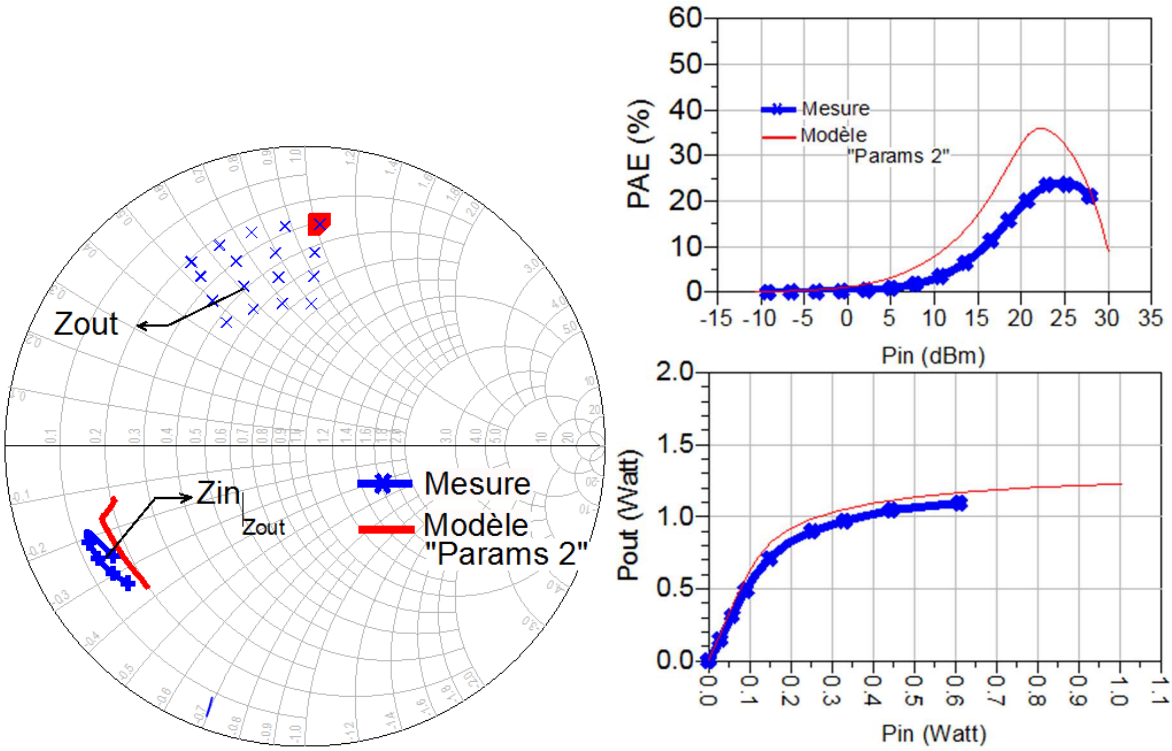


Figure III.32 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du rendement en puissance ajoutée PAE pour une impédance Zout = 15,5+51j.

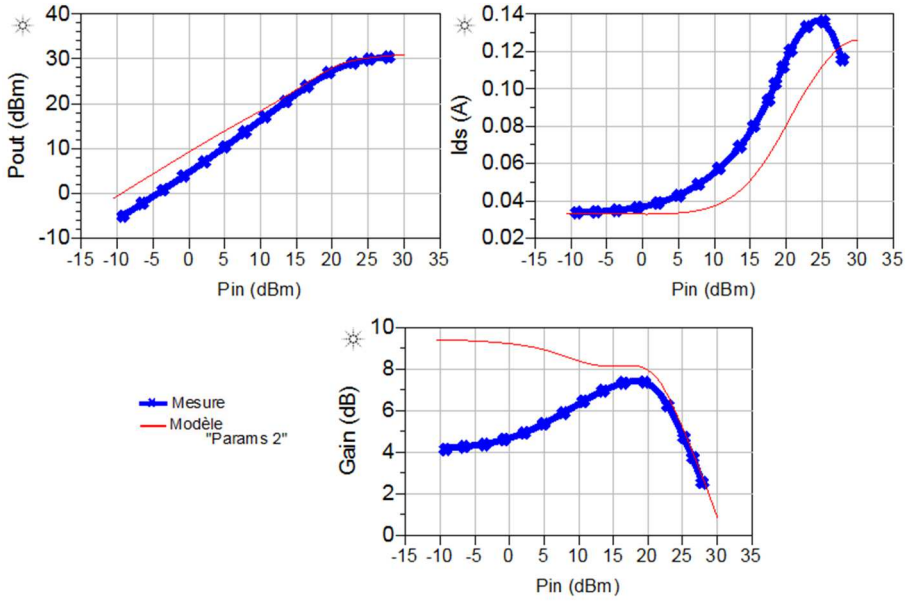


Figure III.33 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout = = 15,5+51j.

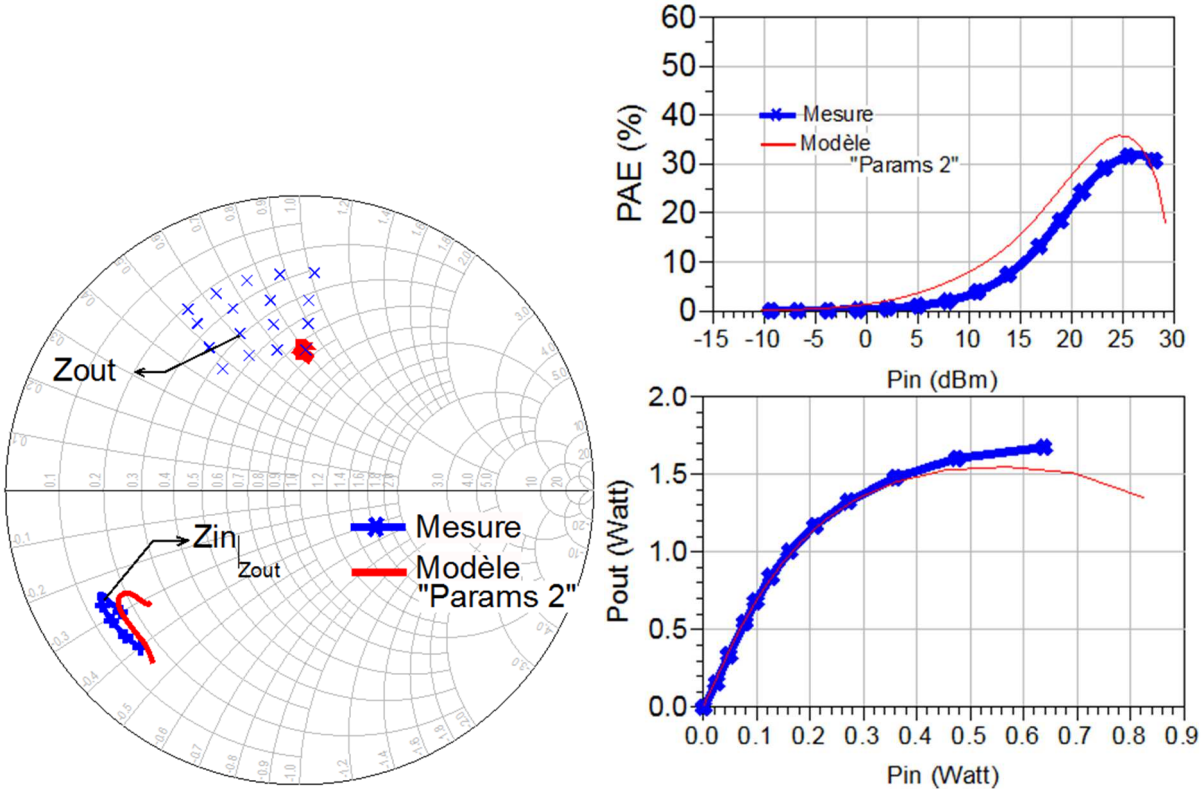


Figure III.34 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du rendement en puissance ajoutée PAE pour une impédance Zout = 32,5+40,3j.

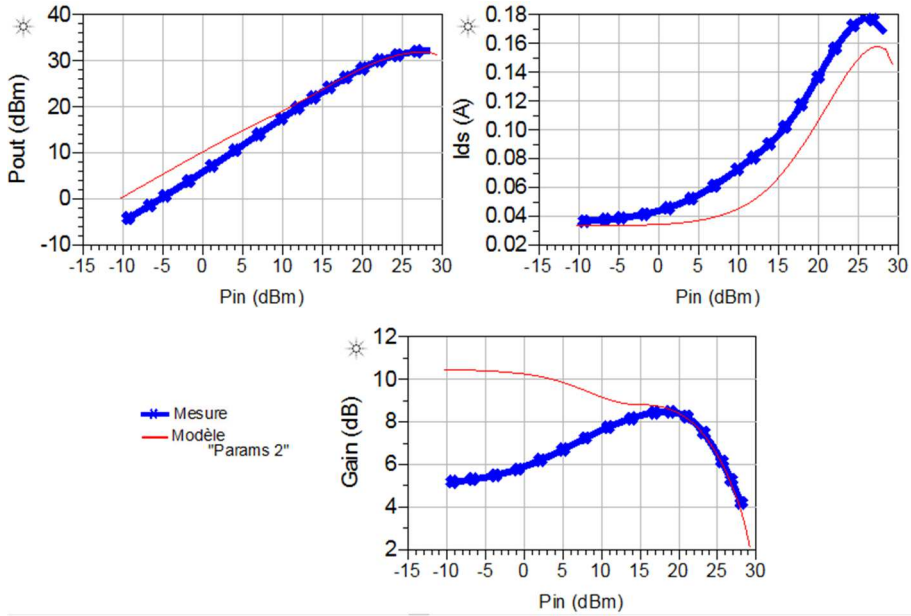


Figure III.35 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout = 32,5+40,3j.

Il ressort de ces comparaisons que le modèle, avec le jeu de paramètres « Params 2 » présenté au *Tableau III.6*, suit plutôt bien la puissance de sortie mesurée, mais que le rendement en puissance ajoutée est quant à lui surestimé pour certaines impédances de charge : la PAE_{MAX} du modèle peut être de 5 à 10 points plus importante. L'allure du courant I_{DS} du modèle ne se superpose également pas avec la mesure : on retrouve un décalage vis-à-vis de la puissance d'entrée d'environ 5dB en simulation.

Pour obtenir ces résultats de simulation en puissance, nous avons donc, comme expliqué, dû modifier certains éléments intrinsèques ainsi que des paramètres de la source de courant, entraînant inévitablement une dégradation de l'accord simulation/mesure sur les courbes I-V et de paramètres [S].

IV.2. Evaluation du modèle extrapolé à 30GHz

Comme expliqué précédemment, des mesures réalisées à 30GHz ont été disponibles au cours de la conception du modèle. Nous avons donc pu estimer les différences entre le modèle créé sur la base de mesures à 18GHz et ces nouvelles mesures effectuées à 30GHz.
Les mesures ont été réalisées par la société MC2 technologies sur trois composants distincts et du même type que ceux que nous avions mesuré à 18GHz.

Nous comparons dans ce qui suit les résultats obtenus pour une mesure en puissance faite à une polarisation de repos V_{DS} = 17,5V et I_{DS} = 100mA/mm (ici 30mA). La tension de grille pour obtenir ce courant était alors de V_{GS} = -3.56V.
La mesure ayant donné les meilleures performances de rendement en puissance ajoutée (PAE) et en puissance de sortie (Pout) concerne le composant situé sur le réticule 54 du wafer TS567 avec une impédance de charge fixée au complexe conjugué de du paramètre S_{22} mesuré à 30GHz. Cette impédance correspond à une valeur de coefficient de réflexion Γ_{Load}=-0,49+16j, soit :

$$Z_{Load} = 13.2 + j \cdot 15.7 \tag{3.11}$$

L'abaque de Smith présentée *Figure III.36* comprend les contours d'impédances simulées approchant les maxima de rendement en puissance ajoutée PAE et de puissance de sortie Pout et situe l'impédance Z_{Load} de mesure.

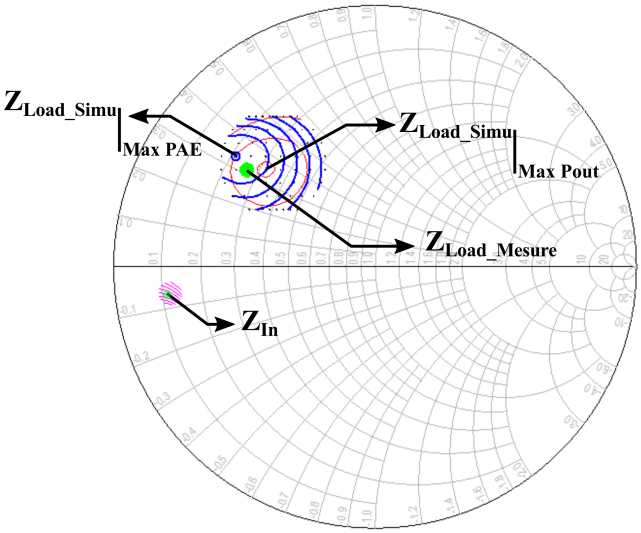


Figure III.36 : Abaque de Smith présentant les impédances simulées avec les contours approchant les maxima de PAE et de puissance de sortie Pout ainsi que le lieu de l'impédance correspondant au complexe conjugué du S_{22} mesurée à 30GHz.

La *Figure III.36* montre que les impédances de charge simulées correspondant au maximum de puissance de sortie et au maximum de PAE sont très proches de l'impédance de charge mesurée ce qui est un premier indice de la bonne cohérence du modèle.

Dès lors, on peut comparer les performances du transistor mesurées et simulées à 30GHz et les superposer avec les résultats de mesures. Ces comparaisons sont présentées *Figure III.37* ci-dessous :

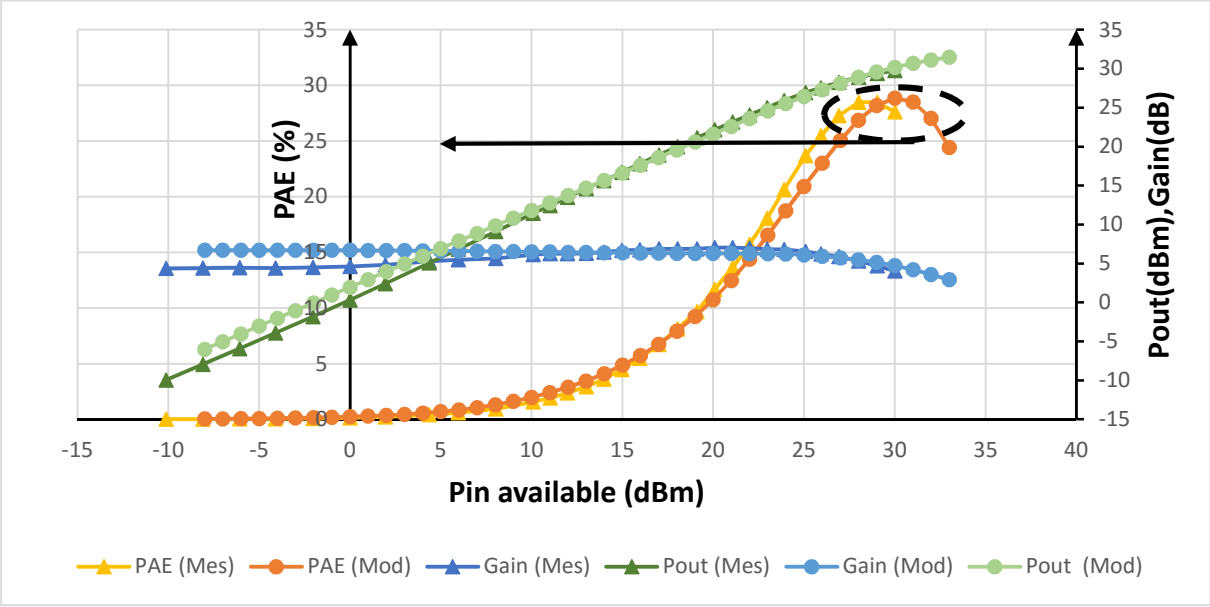


Figure III.37 : Superposition des résultats de simulation et de mesure pour les courbes de PAE, Pout et Gain effectuées sur le transistor TS567_6x50 à 30GHz, pour une polarisation de repos égale à V_{DS} = 17,5V ; I_{DS} = 100mA/mm et pour une impédance de charge fixée à Z_{Load} = 13,2+j.15,7Ω. Les mesures sont identifiées par des triangles et les simulations par des points.

Le très bon accord, observé sur la *Figure III.37*, entre la prédiction faite par les simulations et les mesures démontre que ce modèle, pourtant développé sur la base de mesures de puissances menées à 18GHz, se comporte très bien à 30GHz pour ce point de polarisation de V_{DS} = 17.5V ; I_{DS} = 100mA/mm et ces points d'impédances de charge.

En ce qui concerne les performances, si l'on revient au tableau présentant l'état de l'art des transistors en bande Ka présenté à la fin du chapitre I, on peut affirmer que ce transistor se classe bien parmi ces résultats en affichant une PAE_{Max} de plus de 25%, une puissance $Pout_{Max}$ dépassant les 30dBm (3W/mm) et un gain linéaire raisonnable supérieur à 6dB.

V Conclusion

Au travers de ce chapitre, nous avons pu voir qu'une caractérisation complète d'un transistor reposant sur une structure InAlN/GaN a permis de démontrer les fortes potentialités de cette filière pour des applications haute fréquence de puissance. La modélisation non-linéaire électrothermique du composant et l'évaluation de ses performances ont été réalisés sur la base de mesures de courant-tension (I-V), fréquentielles en régime petit signal (paramètres [S]) et de puissance (load-pull).

Les valeurs des paramètres de ce modèle de type GAMM ont été extraites en premier lieu via un outil informatique d'optimisation développé au sein du laboratoire commun THALES-Xlim puis certaines valeurs ont été réajustées pour s'adapter aux résultats de mesures load-pull. Les difficultés observées en mesure en raison de la maturité des composants ont complexifié la modélisation rendant difficile une superposition parfaite des différentes mesures avec les simulations. Pour ces raisons, un ajustement du modèle sur des mesures de puissance a été privilégié.

Ce modèle a toutefois prouvé son bon comportement en prédisant correctement des résultats à 30GHz confirmés plus tard par des mesures, alors qu'il avait été développé initialement à partir de mesures effectuées à 18GHz.

D'autre part les performances de ce transistor, qu'elles aient été simulées ou mesurées et malgré des caractéristiques encore perfectibles, montrent que les composants de la filière InAlN/GaN répondent aux défis des applications de puissance hyperfréquence en se situant à l'état de l'art en bande Ka. Ceci nous permettra d'initier la conception d'un amplificateur en bande Ka qui s'appuiera sur l'utilisation de ce modèle afin d'évaluer les performances atteignables avec ces composants au niveau circuit.

CHAPITRE IV :

Conception d'un amplificateur de puissance à base de HEMTs InAlN/GaN en technologie MMIC (passifs UMS GH25) pour des applications en bande Ka

I Introduction

Comme nous l'avons expliqué dans l'introduction générale, le III-V Lab oriente ses travaux vers la conception de transistors à haute mobilité électronique à base d'hétérostructures en InAlN/GaN pour atteindre un fonctionnement en bande Ka.

Au chapitre III, nous avons rapporté des mesures réalisées sur un HEMT InAlN/GaN développé au III-V Lab, issu du wafer TS567, possédant 6 doigts de grille de 50µm de large et une longueur de grille de 0,15µm (que l'on notera TS567_6x50Lg0,15µm). Ces mesures ont démontré le potentiel de ce composant pour des applications de puissance à des fréquences autour de 30GHz. Cependant, connaître les performances au niveau transistor n'est pas suffisant pour estimer les potentialités d'une technologie et n'est, de plus, pas le bon démonstrateur pour valoriser les travaux du III-V Lab vers les divisions du groupe THALES, plus habituées à manier les caractéristiques des fonctions de niveau système. Pour cela, la fonction amplificateur de puissance est la mieux à même à servir de nœud commun pour estimer les performances d'une technologie, pouvoir la comparer à l'Etat de l'Art et évaluer son intérêt au niveau système.

C'est dans ce but qu'une étude faisabilité d'une conception d'un amplificateur en bande Ka et en technologie MMIC, à base de composants HEMTs InAlN/GaN du III-V Lab, a été proposée dans le cadre de cette thèse et dont les résultats sont présentés dans ce chapitre. La conception de cet amplificateur reposant sur l'utilisation du modèle de HEMT développé au chapitre III.

II Cahier des charges

II.1. Etat de l'art des amplificateurs en bande Ka

Avant de commencer la conception de cet amplificateur et fixer le cahier des charges avec les performances attendues pour être compétitif vis-à-vis des autres solutions existantes, il est important de dresser un état de l'art. Ainsi, nous nous sommes attachés à recueillir dans la littérature des informations sur des amplificateurs, à base de composants HEMTs GaN, fonctionnant autour de la bande Ka. Ces recherches bibliographiques sont résumées dans le *Tableau IV.1*.

Des premiers résultats dans cette bande de fréquence avaient été publiés durant la période 2004-2006 principalement par des laboratoires américains sur des structures AlGaN/GaN sur substrat SiC. Les puissances de sortie annoncées ne dépassaient alors pas 5W et les gains observés se situaient entre 12dB et 15dB au maximum, pour des fréquences autour de 30GHz [79], [80], [38], [81]. On relèvera, entre autres, le résultat du laboratoire américain ARL (Army Research Laboratory) proposant un amplificateur ayant 10GHz de bande passante (26GHz à 36GHz) avec une puissance de sortie comprise entre 3,2W et 5W en régime impulsionnel et utilisant seulement 3 transistors [82].

Depuis 2012, de nouveaux résultats ont été publiés, majoritairement par des industriels, présentant des gains linéaires beaucoup plus élevés, atteignant 15dB à 29dB pour des amplificateurs constitués de 2 à 3 étages. Nous citerons l'entreprise Triquint (aujourd'hui Qorvo), qui a réalisé en 2012 des circuits monolithiques (MMIC) démontrant 8,7W en puissance de sortie, avec 26% de PAE associée et un gain linéaire de 24dB, pour une plage de fréquence allant de 25GHz à 29GHz (mesures réalisées à signal hyperfréquence constant ou *continuous wave* en anglais) [83]. Un an plus tard, en 2013, cette même société annonçait une deuxième version délivrant cette fois 10W en puissance de sortie, pour une PAE associée de 28% et un gain linéaire de 27dB pour une plage de fréquence légèrement plus haute, allant de 28GHz à 31GHz [84]. En 2014, les ingénieurs de l'entreprise Triquint ont également amélioré l'encombrement, en proposant une version compacte d'un amplificateur à trois étages, ne mesurant que 2,38mm², pour une puissance de sortie de presque 3W et un gain linéaire de 25dB et fonctionnant sur la plage 27GHz – 33GHz [85]. En comparaison, pour de tels niveaux de puissance, les autres solutions référencées ici ont des dimensions allant de 7,5mm² à 9mm² pour seulement 1 ou 2 étages [26], [80], [81]. La firme Northrop Grumman propose depuis 2012 des amplificateurs en GaN commerciaux [86], [87], [88], [89], [90], [91], avec un récent produit

datant de 2015, permettant d'obtenir une puissance de sortie de 10W, avec une PAE associée de 26% et un gain linéaire de 16dB (mesures en impulsions), sur une plage de fréquence allant de 34,5GHz à 36,5GHz [92].

L'entreprise Northrop Grumman détient également le record de puissance de sortie dans cet état de l'art, d'après une publication de 2015 [93], présentant un amplificateur atteignant 36W à 40W sur une plage de fréquence comprise entre 26GHz et 30GHz. Ce niveau de puissance est rendu possible par une structure à deux étages composée de 4 transistors (8x82,5µm) au premier étage, puis de 16 transistors au second étage. Les mesures pulsées font également ressortir un gain élevé, de plus de 19dB et une PAE associée de plus de 32%. Cet amplificateur est donc largement en tête vis-à-vis des autres produits.

L'entreprise nippone Toshiba propose également un amplificateur présenté en 2014 produisant une puissance de sortie importante de 20W entre 29GHz et 31GHz [94]. Sa structure est composée de deux étages avec 8 transistors au premier étage et 16 transistors au deuxième étage. Par contre, le gain linéaire et la PAE restent assez faibles comparés aux autres solutions, avec respectivement 10dB et 14% (mesures en impulsions). Il présente également un encombrement plus important que l'amplificateur record de Northrop Grumman, avec 22mm² contre 13,5mm².

Il est également intéressant de relever qu'il n'y a pas beaucoup de variation entre les années pour le rendement en puissance ajoutée, la tension de polarisation de drain et la longueur de grille. En moyenne, la PAE se situe autour de 20% à 30% et la tension V_{DS} est comprise entre 20V et 30V. La longueur de grille reste quant à elle comprise entre 0,15µm et 0,25µm. Une seule publication avec une longueur de grille inférieure à 0,15µm, provenant d'une collaboration Xlim-IAF, propose un amplificateur à deux étages basé sur des HEMTs GaN avec une longueur de grille de 100nm produisant une puissance de sortie totale de 4W[26].

Tous ces résultats reposent sur des transistors HEMTs avec une structure AlGaN/GaN/SiC et alors que l'on recensait déjà peu de transistors avec une structure InAlN/GaN (cf. Chap. I, IV), nous n'avons identifié qu'un seul résultat d'amplificateur en bande Ka, basé sur ce type d'hétérostructure. Il s'agit d'un résultat du III-V Lab de 2012, réalisé en technologie hybride avec des transistors InAlN/GaN dotés d'une longueur de grille de 0,25µm [95]. Cet amplificateur fonctionnant entre 25,5GHz et 26,5GHz, présente une puissance de sortie maximale de 1,6W pour 15% de PAE associée et un gain linéaire de 13dB. En raison de sa structure hybride, cet amplificateur a également une taille bien plus imposante que les autres résultats répertoriés ici, avec une surface totale de 180mm².

Tableau IV.1 : Etat de l'art des amplificateurs à base de GaN pour des fréquences situées autour de la bande Ka (P : Pulsed ; CW : Continuous Wave)

Ref	Technologie	Pout (dBm) (W)	Densité de puissance (W/mm)	Gain linéaire (dB)	PAE (%)	Bande (GHz)	V_{DS} (V)	Topologie	Taille (mm²)	Année	Origine
[93]	0,2µm HEMT AlGaN/GaN/SiC	45-46 P 36-40	3,4	19-22 P	32 P	26-30	28	2 étages (4-16)	13,5	2015	Northrop Grumman
[92]	0,2µm HEMT GaN/SiC	40 P 10		16 P	26 P	34,5-36,5	28	2 étages Balanced (2-4)	7,1	2015	Northrop Grumman
		39,5 CW 8,9		15 CW	22 CW						
[94]	0,18µm HEMT AlGaN/GaN/SiC	43 P 20	3,3	10 P	14 P	29-31	28	2 étages (8-16)	22	2014	Toshiba
[85]	0,15µm HEMT AlGaN/GaN/SiC	34,5 2,8	3	25	(50% FET)	27-33	20	3 étages (1-2-4)	2,38	2014	Triquint
[86]	0,2µm HEMT GaN/SiC	39 P 7,9		20	30 P	27-31	28	2 étages (1-4)	7,4	2014	Northrop Grumman
					24 CW						
[87]	0,2µm HEMT GaN/SiC	41,2 P 13		19,5 P	28 P	27-31	28	2 étages Balanced (1-4)	16	2014	Northrop Grumman
		40 CW 10		17 CW	25 CW						
[26]	0,1µm HEMT AlGaN/GaN/SiC	36 4	1,8	9,8	27	29-31	17,5	2 étages	9	2013	Xlim / IAF
[84]	0,15µm HEMT AlGaN/GaN/SiC	40 CW 10	3,1	27 CW	28 CW	28-31	20	3 étages balanced (1-2-4)	11,7	2013	Triquint
[84]	0,15µm HEMT AlGaN/GaN/SiC	38 CW 6	3,1	29 CW	30 CW	26-33	20	3 étages (1-2-4)	5,6	2013	Triquint

[88]	0,2µm HEMT GaN/SiC	39 7,9		21	28 P 30 CW	27-31	28	2 étages (2-2x4)	17,3	2012	Northrop Grumman
[89]	0,2µm HEMT GaN/SiC	38 P 6,3 39 CW 7,9		15 P 20 CW	20	43-46	28	2 étages Balanced (2-4)	11,84	2012	Northrop Grumman
[90]	0,2µm HEMT GaN/SiC	38 6,3		23 P 20 CW	30 P 33 CW	18-23	28	2 étages (1-2)	10	2012	Northrop Grumman
[91]	0,25µm HEMT GaN/SiC	37,8 6		14		32,5	32	2 étages Balanced 4x(2-2)	16	2012	US Army Lab
[83]	0,15µm HEMT AlGaN/GaN/SiC	39,4 CW 8,7	4	24	26 CW	25-29,5	20	3 étages Balanced (1-2-4)	9,7	2012	Triquint
[83]	0,15µm HEMT AlGaN/GaN/SiC	37 CW 5	4	25	30 CW	25-29,5	20	3 étages (1-2-4)	4,75	2012	Triquint
[95]	0,25µm HEMT InAlN/GaN/SiC	32,2 1,6	2,7	13,2	15,5	25,5-26,5	20	2 étages (2-2)	180	2012	III-V Lab
[82]	0,18µm HEMT AlGaN/GaN/SiC	34-35,8 CW 2,5-3,8 35-37 P 3,2-5	3,2	12	23 CW	26-36	24	2 étages (1-2)		2006	US Army Lab
[79]	0,18µm HEMT AlGaN/GaN/SiC	35-37 CW 3,2-5	3,1	12	20 CW	25-30	22	2 étages Combinés (2-4)	14,4	2006	US Army Lab
[80]	0,15µm HEMT AlGaN/GaN/SiC	34,1 CW 2,5	3	5,5	5 CW	27	30	2 étages (2-4)	8,9	2006	TNO
[38]	0,15µm HEMT AlGaN/GaN/SiC	36 CW 4	5	15	23,8 CW	27,5-34,5	10	2 étages (2-4)		2005	HRL
[81]	0,15µm HEMT AlGaN/GaN/SiC	34,5 CW 2,8	2,6	8	27 CW	33	15,4	1 étage 4	7,5	2004	HRL

L'objectif du nouvel amplificateur que souhaitait développer le III-V Lab repose donc surtout sur la conception d'une structure complètement MMIC, pouvant se rapprocher des tailles d'amplificateurs en AlGaN/GaN et d'augmenter sa fréquence d'utilisation vers 30GHz, grâce à la nouvelle génération de composants HEMTs GaN fabriqués avec une longueur de grille de 0,15µm.

II.2. Objectifs visés

Pour notre application, nous visions une bande d'utilisation allant de 27,5GHz à 34,5GHz, avec un gain de 18dB pour une ondulation inférieure à 2dB dans la bande de fréquence.

La puissance de sortie à saturation souhaité était de 38dBm (soit 6W) pour une PAE associée de 25%. L'adaptation en entrée et en sortie devait fournir des paramètres S_{11} et S_{22} inférieurs à -12dB tandis que l'isolation (paramètre S_{12}) devait être inférieure à -35dB.

Ces spécifications simplifiées correspondent à un besoin d'une division de THALES afin de couvrir des applications de communication par satellites (SATCOM).

II.3. Topologie retenue

Pour déterminer l'architecture de l'amplificateur, il faut prendre en compte les performances du transistor et les confronter aux objectifs à atteindre sur les performances de l'amplificateur.

La figure *Figure IV.1* ci-dessous, donne le gain maximum disponible du transistor TS567_6x50µmLg0,15, utilisé pour la conception de notre amplificateur au point de polarisation V_{DS}=20V, I_{DS}=100mA/mm et obtenu par simulation du modèle rapporté au chapitre III, qui a été adapté pour une utilisation en conception MMIC. En effet, pour une conception de circuit monolithique, les transistors ne sont plus coplanaires mais possèdent deux vias. Or, le modèle présenté au chapitre III a été développé sur la base de mesures de transistors coplanaires. Les ouvertures pour la création des vias n'avaient pas été réalisées mais nous estimons, sur la base de simulations électromagnétiques confirmées par des mesures de paramètres [S], que l'inductance équivalente d'un via est de 17pH. Dans le cas de l'utilisation de 2 vias en parallèle, nous avons donc ajouté 8pH à la valeur de l'inductance de source du modèle.

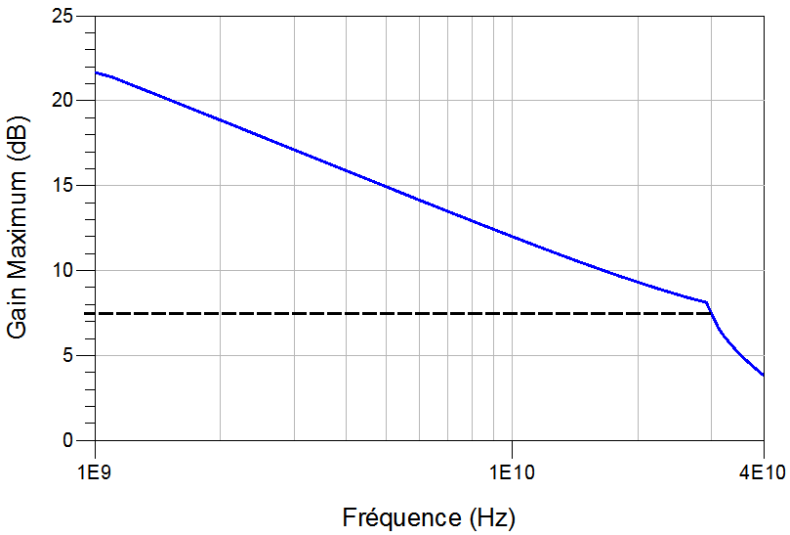


Figure IV.1 : Gain Maximum disponible obtenu en simulation pour le transistor InAlN/GaN issu de la plaque TS567 de développement 6x50µm et de longueur de grille Lg=0,15µm pour une polarisation V_{DS}=19V ;I_{DS}=100mA/mm. La ligne en pointillée identifie la valeur du gain maximum à 30GHz.

Ce transistor développe une puissance maximum de 1W pour un gain maximum de plus de 7dB à une fréquence 30GHz. Compte tenu de ces données, nous nous sommes orientés vers une architecture dite « arborescente » à trois étages, ainsi que l'illustre la *Figure IV.2*. L'architecture arborescente est spécifiée et conçue en progressant de la sortie vers l'entrée, en utilisant les données obtenues lors de l'étude load-pull.

Les étages sont composés de un à plusieurs transistors mis en parallèle afin d'additionner leur puissance de sortie. Le gain final, en dB, de l'amplificateur sera composé de l'addition des gains de chacun des étages de transistors diminués des pertes liées aux circuits d'adaptations d'impédances.

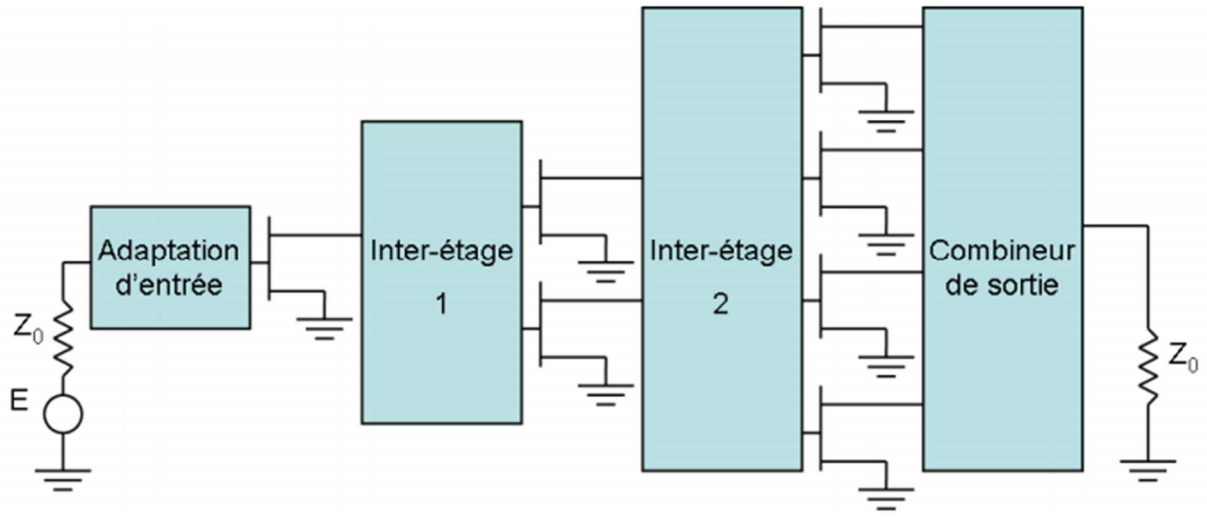


Figure IV.2 : Schéma de principe d'une architecture arborescente d'amplificateur à trois étages [96].

Le *Tableau IV.2* expose les valeurs initiales estimées pour évaluer les pertes et les gains apportés par chaque étage.

Tableau IV.2 : Estimation des pertes et des gains engendrées par l'architecture choisie

Pertes circuit entrée	**Gain étage 1**	**Pertes inter-étage 1**	**Gain étage 2**	**Pertes inter-étage 2**	**Gain étage 3**	**Pertes combineur de sortie**
-1dB	7dB	-2dB	7dB	-2dB	7dB	-0,5dB

Cette architecture pourrait donc permettre d'obtenir un gain linéaire de l'ordre de 15dB, sachant que le modèle élaboré propose des résultats dégradés par rapports aux mesures faites en paramètres [S]. En effet, comme expliqué au chapitre précédent, le modèle a été élaboré pour correspondre aux mesures load-pull qui dégradaient les performances des composants au fil de la mesure. L'objectif de 18dB sur le gain linéaire de l'amplificateur ne pourra donc pas être atteint avec une solution à trois étages avec ces composants, mais une solution à quatre étages serait plus difficile à obtenir et augmenterait de manière trop importante la taille globale de l'amplificateur. Nous avons donc conservé une structure à trois étages.

L'objectif visé sur la puissance de sortie semble également difficile à atteindre. En effet, à 30GHz la puissance maximale de sortie que peut fournir ce transistor se trouve autour de 30dBm, c'est-à-dire autour de 1W. En concevant un étage de sortie composé de 4 transistors il est alors possible de multiplier par 4 la puissance (donc de rajouter 6dB). Ainsi, il serait possible, avec un étage de sortie composé de 4 transistors de fournir en sortie une puissance de 35,5dBm, une fois les pertes du combineur de sortie, que nous avons estimées à 0,5dB, soustraites. La puissance de sortie d'un tel amplificateur ne serait donc que de 3,5W maximum. Pour atteindre une puissance de sortie supplémentaire, il aurait fallu soit utiliser une architecture à 8 transistors dans l'étage de sortie, soit concevoir une architecture équilibrée entre coupleur de Lange, permettant de dupliquer le circuit à 4 transistors. C'est cette dernière architecture que nous avons privilégiée puisqu'elle permettrait, dans l'optique d'une réalisation future, de capitaliser sur une structure pouvant être testée indépendamment.

III Conceptions des différents étages

III.1. Combineur de sortie

La réalisation des différents circuits permettant de distribuer ou de combiner les puissances vers les transistors est très délicate. En effet, les transistors délivrant leurs performances maximales pour certaines impédances de charge seulement, il faudra trouver les architectures permettant de présenter les conjugués de ces impédances pour favoriser le transfert de puissance. Or, de par leur conception ces circuits vont également présenter des pertes qu'il faudra minimiser pour ne pas perdre de gain.

Le rendement en puissance ajoutée et le gain total de l'amplificateur sont notamment particulièrement sensibles aux pertes du combineur de sortie. Le rendement final η_{out} en sortie du combineur peut être déduit du rendement en entrée du combineur η_{in} selon la formule (4.1).

$$\eta_{out} = \frac{\eta_{in}}{10^{\frac{pertes(dB)}{10}}} \qquad (4.1)$$

A titre d'exemple, pour un rendement initial de 40% avec des pertes de 0,3dB dans le combineur de sortie, le rendement en sortie se trouvera diminué de 3 points.

Dans le cas d'un circuit présentant de faibles pertes et un fort gain d'amplification ($Gain_{Ampli}$), la formule (4.1) du rendement en sortie du combineur est proche de la formule applicable à la PAE donnée en (4.2).

$$PAE_{out} = \frac{PAE_{in}}{10^{\frac{pertes(dB)}{10}}} \cdot \frac{1}{1 - \frac{1}{Gain_{Ampli}}} \cdot \left(1 - \frac{10^{\frac{pertes(dB)}{10}}}{Gain_{Ampli}}\right) \qquad (4.2)$$

Lors de la conception des circuits de distribution et de combinaison de puissance il faudra également s'assurer de la symétrie la plus forte possible. En effet, si les circuits ne sont pas symétriques, les transistors de chaque étage ne seront pas sollicités exactement de la même façon ce qui conduirait à une diminution des performances voire à une mise en oscillation de l'amplificateur.

Pour concevoir les circuits d'adaptation d'impédance, aucun schéma précis ne peut être suivi puisque les fréquences, les impédances et les pertes en jeux ne sont jamais les mêmes en fonction des technologies utilisées et des applications visées. D'autre part, l'empilement des

couches de substrat et métallisation utilisées ont des propriétés bien particulières. Les seuls paramètres permettant de concevoir les différents étages d'adaptation d'impédance dépendent des éléments passifs à disposition : la longueur et la largeur des lignes microruban, les valeurs des capacités et des inductances. D'autre part, ces valeurs sont encadrées dans une gamme imposée par le fondeur. En effet, ces éléments passifs reposent sur une technologie bien particulière dont les valeurs sont bornées.

Lors de la conception des circuits d'adaptation, il faudra également toujours garder à l'esprit l'encombrement que prendront les circuits réalisés : la surface occupée des éléments passifs dépend de leurs valeurs, ainsi une forte capacité pourra demander une place considérable vis-à-vis des autres éléments à proximités. La largeur des lignes microruban est aussi à surveiller et sera conditionnée d'un côté par la largeur minimale pouvant supporter le courant qui la traverse et de l'autre par l'encombrement global. Dans le cadre de ces travaux, nous avons utilisé le Design Kit de la technologie GH25 d'UMS.

La *Figure IV.3* propose au travers de deux schémas, deux types de topologies envisageables pour un combineur de sortie.

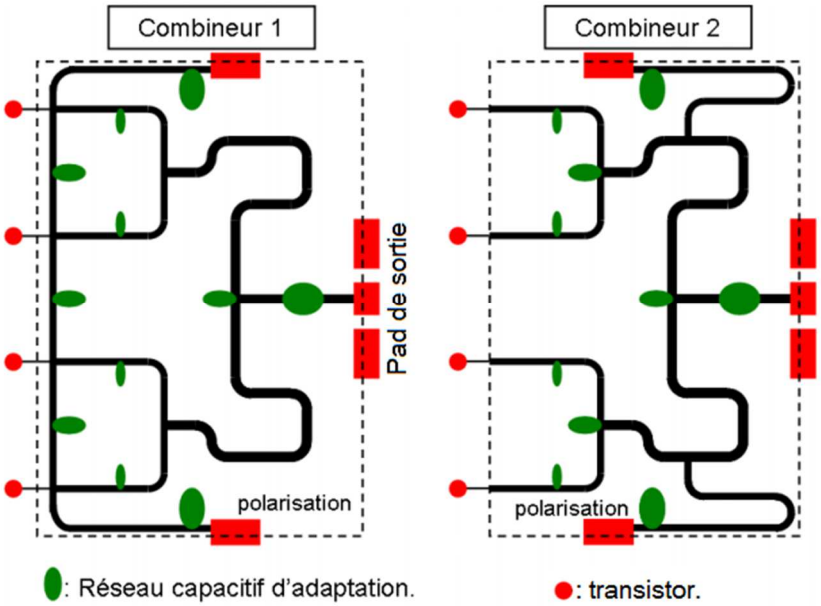


Figure IV.3 : Exemples schématiques de topologies de combineur de sortie possible [96].

L'architecture du combineur de sortie est conçue en premier lieu. Dans notre cas, ce combineur doit transformer la charge 50Ω de sortie vers l'impédance de charge optimale du transistor permettant de maximiser ses performances en puissance et PAE. D'autre part, il est très important que cette transformation soit associée à de très faibles pertes, comme expliqué

précédemment, ce qui est d'autant plus difficile que l'impédance optimale est éloignée de 50Ω. Pour déterminer l'impédance de sortie optimale de notre transistor, nous avons effectué des simulations de type load-pull sur le transistor autour de 30GHz.

La simulation load-pull a permis d'extraire les valeurs d'impédances de charge optimales Zch_{opt} retrouvées au maximum de PAE et au maximum de puissance de sortie. Ces valeurs d'impédances sont regroupées dans le *Tableau IV.3*. Elles seront ensuite renseignées comme objectifs à atteindre lors de la conception sous le logiciel ADS. La PAE étant le paramètre le plus critique compte tenu de la décision d'élaborer une architecture équilibrée par coupleur de Lange, nous avons cherché à obtenir les valeurs d'impédances correspondant au maximum de PAE.

Tableau IV.3 : Valeurs d'impédance de charge optimale pour le transistor TS567_6x50Lg0,15

Fréquence (GHz)		**Zch_{opt}**		**Pin Disponible (dBm)**	**PAE (%)**	**Pout (dBm)**	**Gain (dB)**
		Real	Imag				
27,5	Max Pout	17,13	38,15	30	30,22	30,6	5,12
	Max PAE	24,15	36,25		28,05	30,78	5,01
29,5	Max Pout	16,44	33,39	31	26,82	31,39	4,985
	Max PAE	22,6	34,31		25,23	31,53	4,75
30,5	Max Pout	14,85	34,54	31	26,59	30,71	4,25
	Max PAE	22,6	34,31		24,34	30,91	4,07
31,5	Max Pout	14,85	34,54	31	25,37	30,61	4,051
	Max PAE	19,42	33,9		24,26	30,77	4,01
33,5	Max Pout	13,73	32,92	31	23,05	30,33	3,77
	Max PAE	19,42	33,9		21,44	30,5	3,62
34,5	Max Pout	12,62	31,39	31	21,9	30,14	3,67
	Max PAE	18,02	32,16		20,78	30,36	3,56

Afin d'optimiser la structure pour imposer les impédances de charge optimales Zch_{opt} aux accès des transistors, deux simulations AC sont effectuées simultanément avec dans le premier cas un générateur de tension du côté de l'entrée du combineur et dans le deuxième cas à la sortie du combineur. Cette technique, schématisée *Figure IV.4* permet de récupérer les tensions et courants vus dans le cas d'une excitation en entrée et en sortie afin de recueillir les impédances correspondantes mais également évaluer les pertes.

Des blocs d'objectifs (« *goals* ») d'ADS sont ensuite ajoutés dans la simulation afin de fixer les trois objectifs à atteindre : imposer l'impédance de charge optimale Zch_{opt} du transistor à chaque entrée du combineur, imposer une impédance de 50Ω en sortie du combineur et présenter des pertes inférieures à 0,5dB.

Toute la difficulté réside alors dans le choix des éléments passifs entrant dans la conception du circuit, leur emplacement et leur nombre. Le moteur d'optimisation d'ADS pourra aider à trouver les valeurs de chaque élément passif du circuit permettant de réaliser les objectifs, en respectant les bornes fixées au préalable, mais le simulateur ne peut inventer l'architecture. La recherche documentaire de l'état de l'art actuel des amplificateurs de puissance permet alors de s'inspirer des architectures de circuits rapportés dans la littérature pour trouver une architecture adéquate.

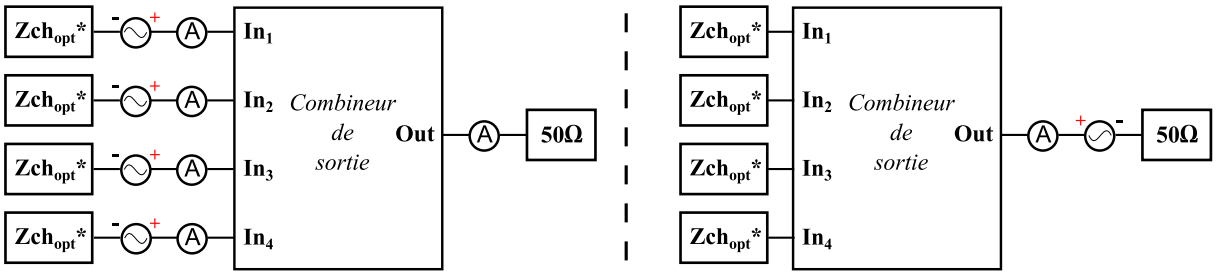


Figure IV.4 : Schéma de la simulation AC créée pour optimiser les impédances présentées par le combineur de sortie sur les objectifs fixés.

Après optimisation, nous avons obtenu une structure de combineur de sortie, présentée *Figure IV.5*, permettant d'avoir moins de 0,5dB de pertes et permettant de synthétiser les impédances désirées sur la bande 27,5GHz-34,5GHz.

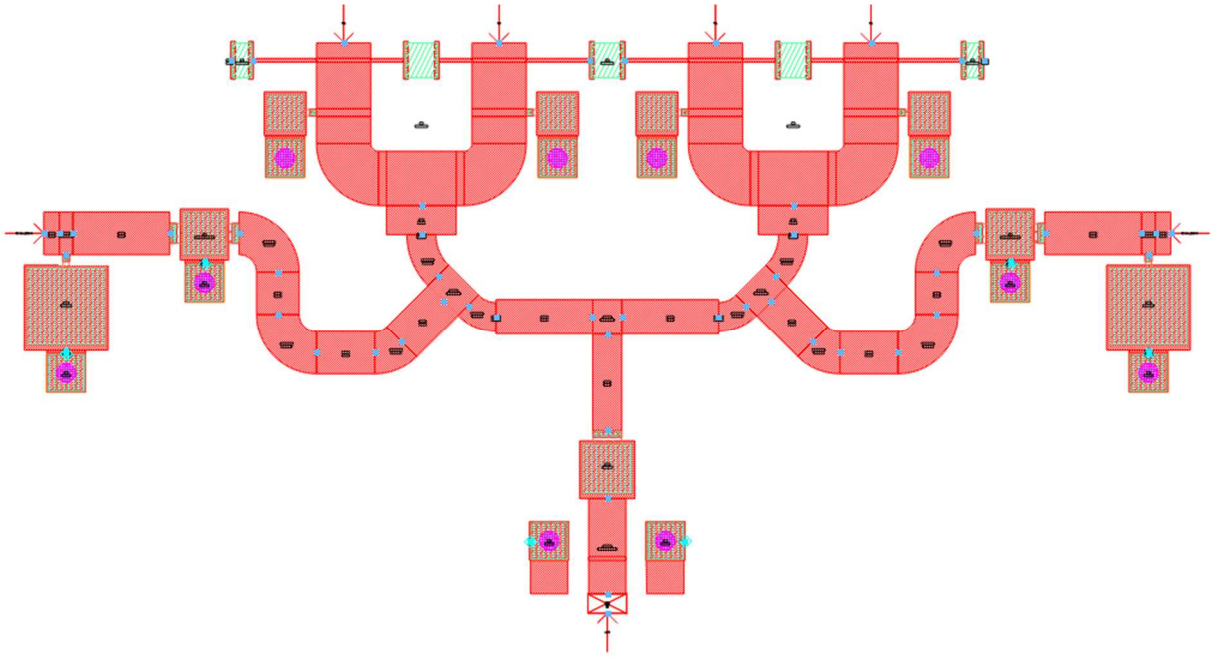


Figure IV.5 : Architecture du combineur de sortie réalisé pour notre amplificateur de puissance en bande Ka.

Les courbes présentées sur la *Figure IV.6* donnent les résultats des simulations des coefficients de réflexion d'entrée et de sortie de l'architecture du combineur de sortie retenue, ainsi que ses pertes associées, sur la bande de fréquence 27,5GHz-34,5GHz. On peut constater que les impédances souhaitées à l'entrée et à la sortie du transistor sont bien reproduites puisque les coefficients de réflexions associés sont en dessous de -15dB jusqu'à 33GHz et de -10dB à 34GHz. Les pertes produites par l'architecture de ce combineur de sortie sont également satisfaisantes puisqu'elles sont inférieures à 0,5dB sur toute la bande utile.

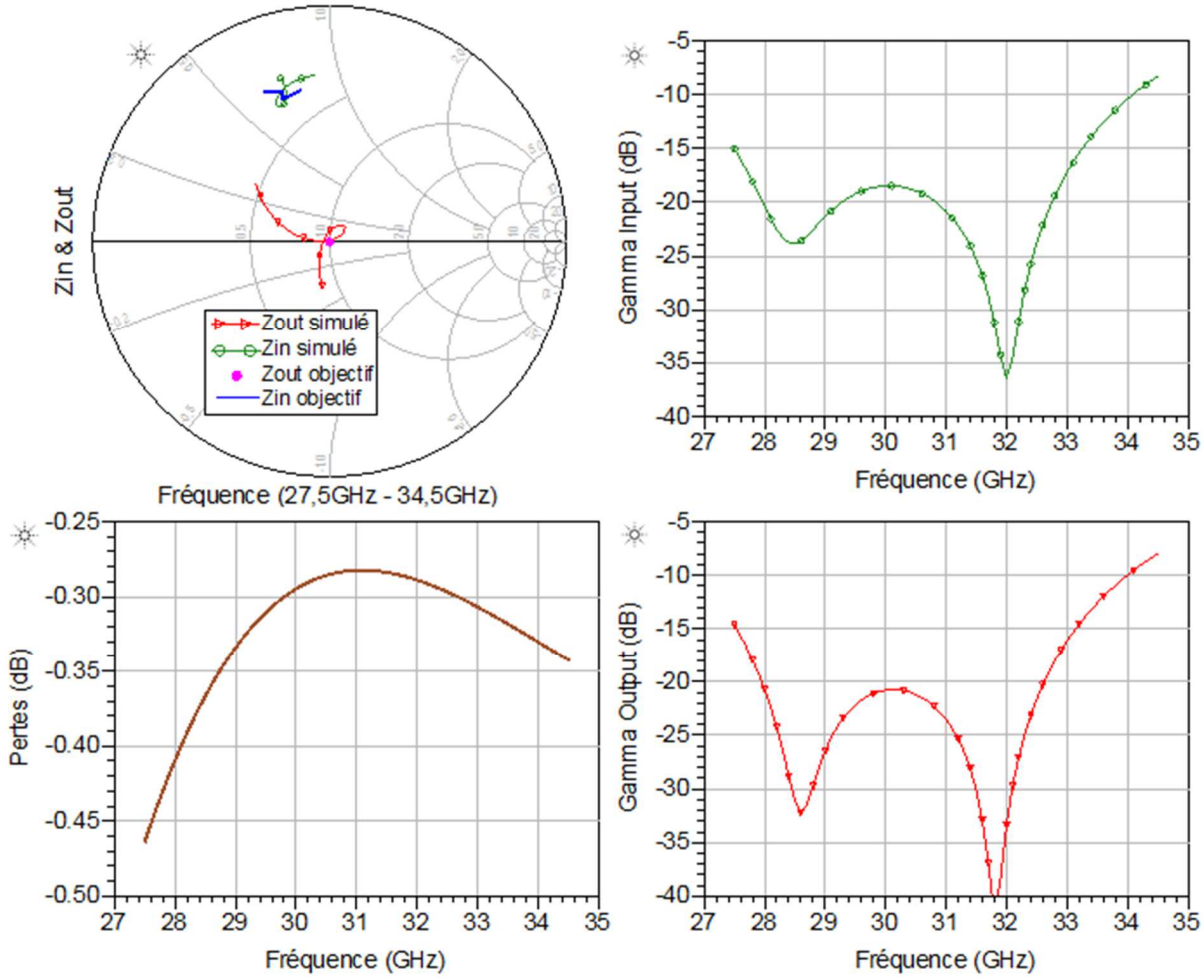


Figure IV.6 : Représentation, en fonction de la bande de fréquence utile, des coefficients de réflexion en entrée et en sortie ainsi que des pertes associées obtenues par simulation de l'architecture du combineur de sortie retenue. L'abaque de Smith indique les impédances obtenues en entrée et en sortie de ce combineur pour la même bande de fréquence.

III.2. *Architecture globale de l'amplificateur*

La conception des autres circuits de l'amplificateur, à savoir les deux inter-étages ainsi que le circuit d'entrée, suit la même démarche que celle du combineur de sortie illustrée *Figure IV.4*. Les seules différences sont les valeurs des impédances de sortie et d'entrée visées pour

chacun de ces circuits. Les impédances à retrouver aux entrées des deux inter-étages correspondent aux impédances de charge donnant la PAE optimale du transistor (Zch_{opt}) en fonction de la fréquence. Les impédances de sorties souhaitées correspondent aux conjugués des impédances d'entrée des transistors, obtenues lorsque les impédances de charge donnant la PAE maximale en sortie sont présentées au transistor ($Z_{in}^{*}|_{Zchopt}$). Pour le circuit d'entrée, nous souhaitons une impédance d'entrée de 50Ω et une impédance de sortie $Z_{in}^{*}|_{Zchopt}$.

Les résultats des simulations des coefficients de réflexion d'entrée et de sortie pour tous les circuits de notre amplificateur (chargés sur les conjugués des impédances d'entrée et de sortie souhaitées), ainsi que leurs pertes associées, sur la bande de fréquence 27,5GHz-33GHz, sont donnés dans le *Tableau IV.4*.

Tableau IV.4 : Evaluations des coefficients de réflexions et des pertes associés à chaque circuit d'adaptation de notre amplificateur, obtenus par simulation électrique, sur la plage de fréquence 27,5GHz-33GHz.

Circuit d'adaptation	**Réflexion en entrée (dB)**	**Réflexion en sortie (dB)**	**Pertes associées (dB)**
Circuit d'entrée	< -15	< -15	< 0,5
Inter-étage 1	< -20	< -19	< 0,6
Inter-étage 2	< -17	< -17	< 0,7
Combineur de sortie	< -15	< -15	< 0,5

Les résultats donnés dans le *Tableau IV.4* permettent de valider l'architecture de chacun des circuits de notre amplificateur. En effet, les impédances d'entrée et de sortie présentées par chacun des circuits sont convenables puisque les coefficients de réflexion en entrée et en sortie sont inférieurs à -15dB sur la plage de fréquence 27,5GHz – 33GHz. Après 33GHz, les coefficients de réflexion se dégradent rapidement pour le combineur de sortie et ne sont plus que de -10dB. La limite haute de notre bande utile se trouvera donc plus proche de 33GHz que de 34,5GHz comme prévu initialement. Nous verrons par la suite que les résultats de simulation en puissance confirmeront cette limite haute, en révélant une dégradation des performances à partir de 33GHz.

La *Figure IV.7* présente l'architecture globale de notre amplificateur. La conception telle quelle est présentée ici n'est pas représentative d'un produit devant être réalisé. Il s'agissait, dans le cadre de ces travaux de thèse, d'évaluer la faisabilité d'un amplificateur en bande Ka utilisant des HEMTs InAlN/GaN développé par le III-V Lab. Plusieurs points seraient donc à revoir dans le cadre d'une conception d'un démonstrateur final comme l'encombrement ou des variations de largeurs de ligne trop abruptes. Seul le circuit du combineur de sortie a été

retravaillé pour optimiser la surface occupée. Les distances entre les transistors des différents étages sont importantes et peuvent surement être encore optimisées pour obtenir un meilleur encombrement global. Mais ce sont peut-être également ces longues distances qui permettent d'obtenir ces architectures de circuits d'inter-étages relativement simples et présentant peu de pertes.

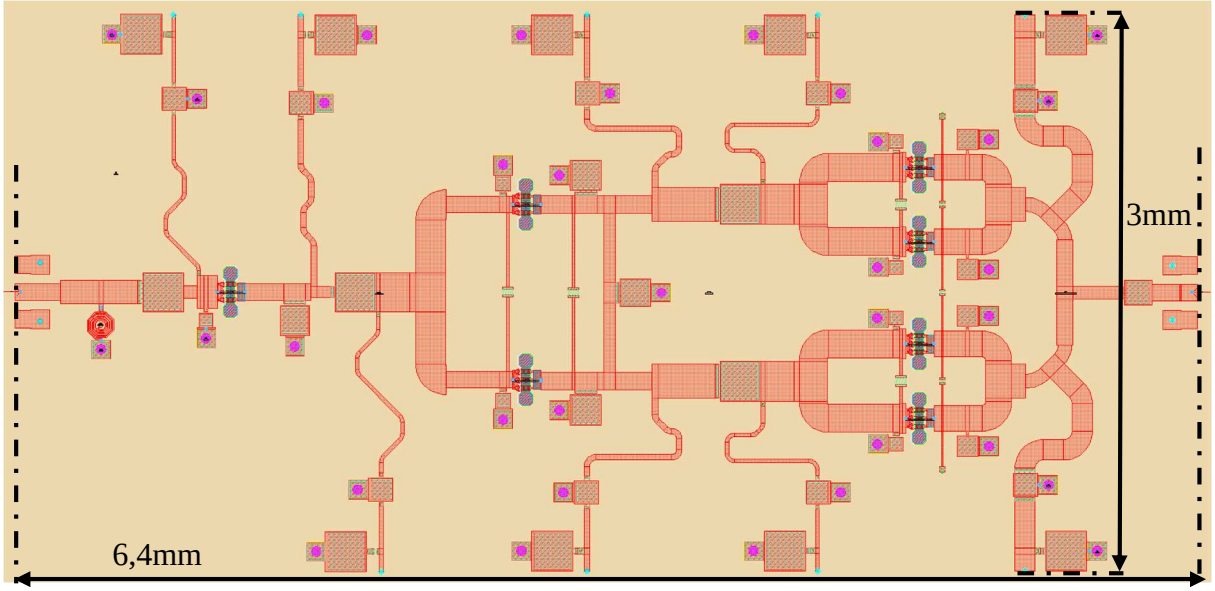


Figure IV.7 : Layout complet de notre amplificateur de puissance. Taille totale = 3x6,4mm².

Dans cette architecture d'amplificateur, des résistances sont placées entre les transistors d'un même étage, au niveau de leur entrée et de leur sortie. Ces résistances permettent de contrer des potentielles instabilités en les atténuant. D'autres résistances sont insérées aux niveaux des accès de polarisation et agissent comme des filtres pour atténuer les remontées de gain aux basses fréquences.

III.3. Problématique de simulation électromagnétique à haute fréquence

Nous avons vu que les circuits proposés pour notre amplificateur permettent de présenter les impédances optimales pour l'entrée et la sortie de chaque transistor. Or, cette analyse a été faite en utilisant seulement des modèles électriques de lignes microruban. Ces simulations ne prennent donc pas en compte les perturbations électromagnétiques et les couplages éventuels entre les lignes. Ces problématiques étant importantes, d'autant plus que nous travaillons à des hautes fréquences, de plusieurs dizaines de GHz, un moteur de simulation électromagnétique doit être utilisé dans un second temps pour l'étude des circuits passifs d'adaptation.

En reprenant l'architecture du combineur de sortie optimisée lors de simulations électriques, nous avons créé une version de ce dernier basée sur un modèle électromagnétique (EM) en utilisant le moteur de simulation électromagnétique Momentum disponible sous le logiciel ADS. Les performances en simulation de paramètres [S] de ce modèle EM ont ensuite été comparées à celles du modèle électrique. Il ressort des résultats de simulation en paramètres [S] de la version EM du combineur de sortie, présentées *Figure IV.8*, que ses performances sont clairement moins bonnes que celle du modèle électrique. Les valeurs des éléments du modèle EM doivent être ré-optimisées pour retrouver une solution conforme aux résultats escomptés.

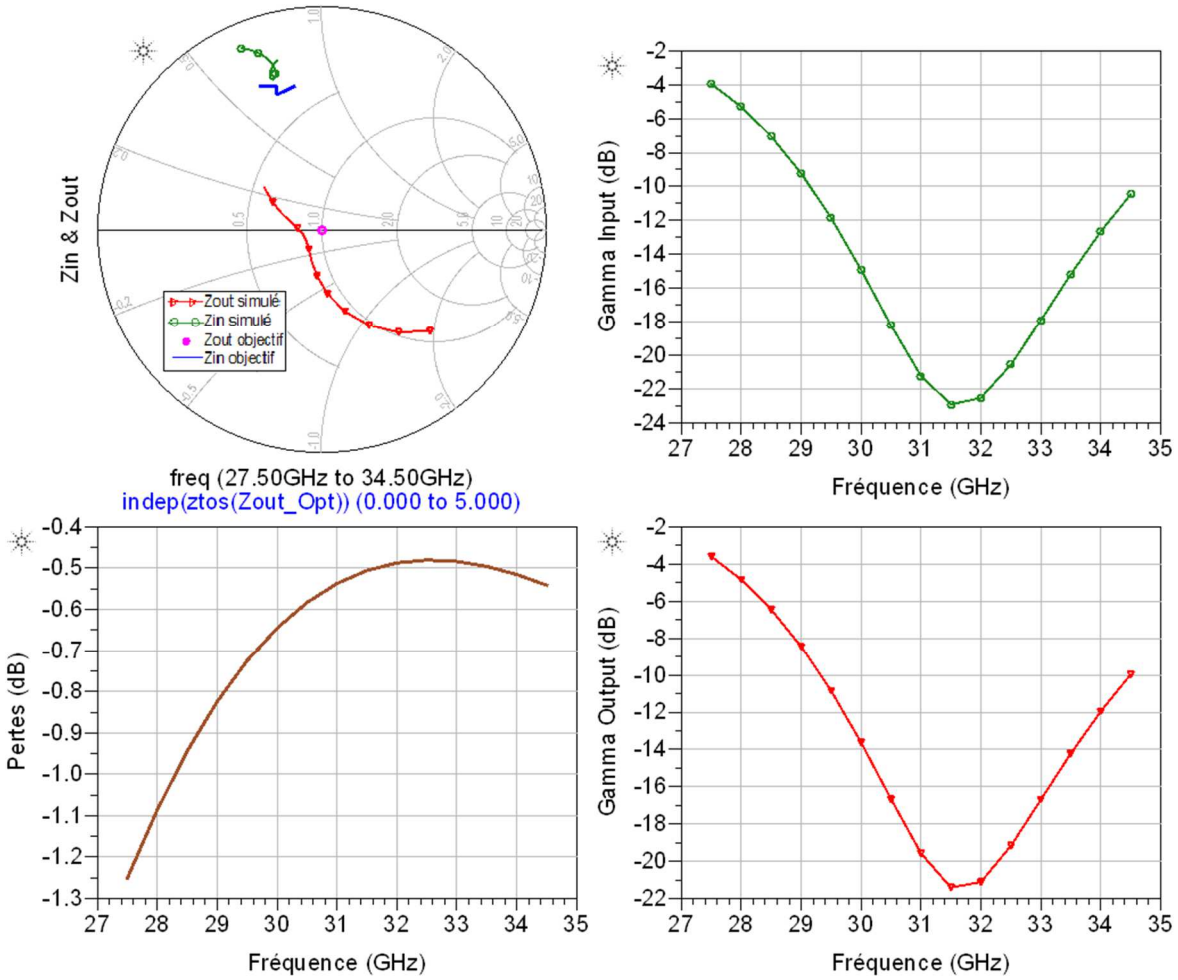


Figure IV.8 : Représentation, en fonction de la bande de fréquence utile, des coefficients de réflexion en entrée et en sortie ainsi que des pertes associées obtenues par simulation du modèle EM de l'architecture du combineur de sortie. L'abaque de Smith indique les impédances obtenues en entrée et en sortie de ce modèle EM de combineur pour la même bande de fréquence.

Entre 27,5GHz et 31GHz, les coefficients de réflexion passent d'un maximum de -15dB en simulation électrique à une plage allant de -4dB à -15dB seulement pour les simulations issues

du modèle électromagnétique. Les pertes augmentent elles aussi fortement passant d'un maximum de -0,5dB à un maximum de -1,25dB dans la bande utile.

Comme la simulation électromagnétique prend en compte l'ensemble des éléments du circuit, il est impossible d'effectuer un ajustage manuel ou une optimisation de chaque élément avec l'outil Momentum. Nous avons donc procédé de la sorte : nous allons reconstruire par morceaux le circuit, en commençant par sa sortie. Un morceau du circuit électrique est modélisé de manière électromagnétique puis ce modèle est ajouté au reste du circuit électrique. Si le résultat en simulation de paramètres [S] n'est plus satisfaisant, on réajuste alors le reste des éléments électriques puis on continue en créant un modèle EM d'un plus grand morceau du circuit électrique et ainsi de suite.

En suivant cette procédure, nous avons pu retrouver une architecture convenable, en changement légèrement quelques longueurs et largueurs de lignes. Les comparaisons des simulations de paramètres [S] du modèle électrique initial ainsi que du modèle EM ré-optimisé sont présentées *Figure IV.9*.

Si les adaptations en entrée et en sortie sont quasiment identiques entre les résultats issus de la modélisation électrique et issus de la modélisation EM, il y a 0,1dB de pertes en plus avec le modèle électromagnétique sur la bande de fréquence considérée.

Ces ré-optimisations sont longues à entreprendre et compte tenu du temps imparti dans ces travaux de thèse pour réaliser la conception de l'amplificateur, nous n'avons pas créé une architecture complètement conforme aux simulations électromagnétiques. Dans la suite de ce chapitre nous ne considérons donc que les résultats de la solution complète ayant été réalisée avec des modèles de lignes électriques.

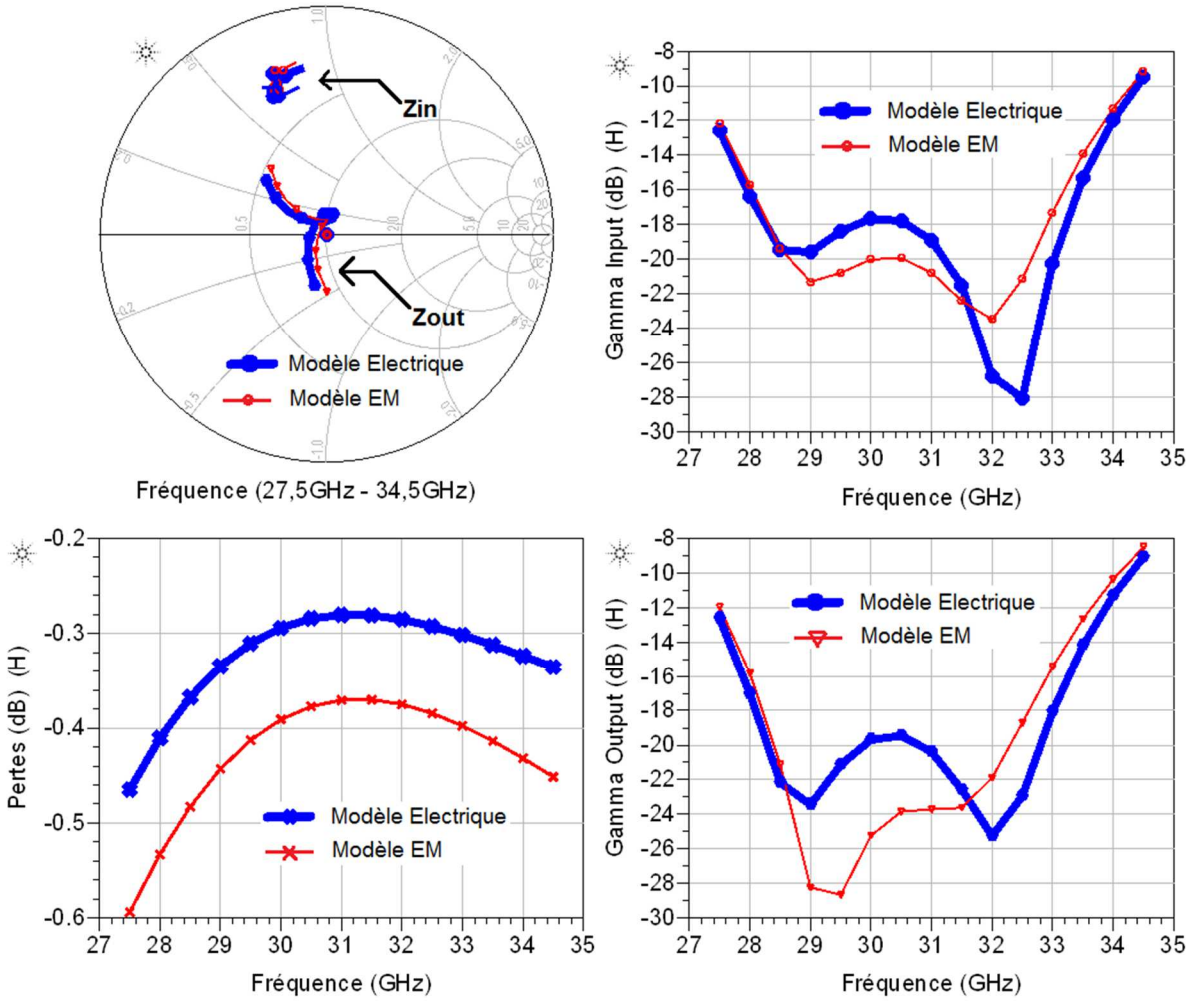


Figure IV.9 : Représentation, en fonction de la bande de fréquence utile, des coefficients de réflexion en entrée et en sortie ainsi que des pertes associées obtenues par réoptimisation du modèle EM de l'architecture du combineur de sortie. L'abaque de Smith indique les impédances obtenues en entrée et en sortie de ce modèle EM de combineur réoptimisé, pour la même bande de fréquence.

IV Simulations de l'amplificateur complet

IV.1. Simulations en paramètres [S]

Nous avons conçu chaque circuit de notre amplificateur de puissance pour qu'il présente les impédances d'entrée et de sortie pour un fonctionnement optimal de tous les transistors rentrant en jeu dans cette conception. Or, une fois connectés dans l'amplificateur complet, il est possible que ce dernier ne fonctionne pas aussi bien que prévu. En effet, les impédances d'entrée des transistors étant imposées par les impédances de charges utilisées, la moindre erreur sur l'impédance de charge d'un transistor modifiera donc son impédance d'entrée et celle-ci ne correspondra plus au conjugué de l'impédance de sortie du circuit qui lui est juxtaposé. La simulation en paramètres [S] de l'amplificateur complet permet donc dans un premier temps de

s'assurer du bon fonctionnement global et de réajuster, si besoin, certains éléments des circuits d'adaptation d'impédances.

D'autre part, pour la problématique de stabilité, en effectuant une simulation sur une bande de fréquence allant de 0Hz à plusieurs gigahertz après la fin de la bande utile, on s'assurera que l'amplificateur ne présente pas de gain hors de la bande utile. Des remontées du gain petit signal sont souvent visibles aux basses fréquences mais peuvent être atténuées par l'ajout de résistances en série dans les circuits de polarisation. Les résultats des simulations de paramètres [S] de notre amplificateur sont présentées *Figure IV.10*.

Ces résultats de simulation de paramètres [S] démontrent des premières performances satisfaisantes vis-à-vis des objectifs visés. Nous avons un gain linéaire compris entre 24dB à 27,5GHz et 18dB à 34,5GHz mais surtout inférieur à 0dB hors de la bande de fréquence comprise entre 24GHz et 39GHz. Une remontée de gain est visible de 500MHz à 6GHz mais celle-ci ne dépasse pas -11dB. Dans la bande utile de 27,5GHz à 34,5GHz, les réflexions en entrée et en sortie de l'amplificateur sont au maximum de -13dB à -15dB.

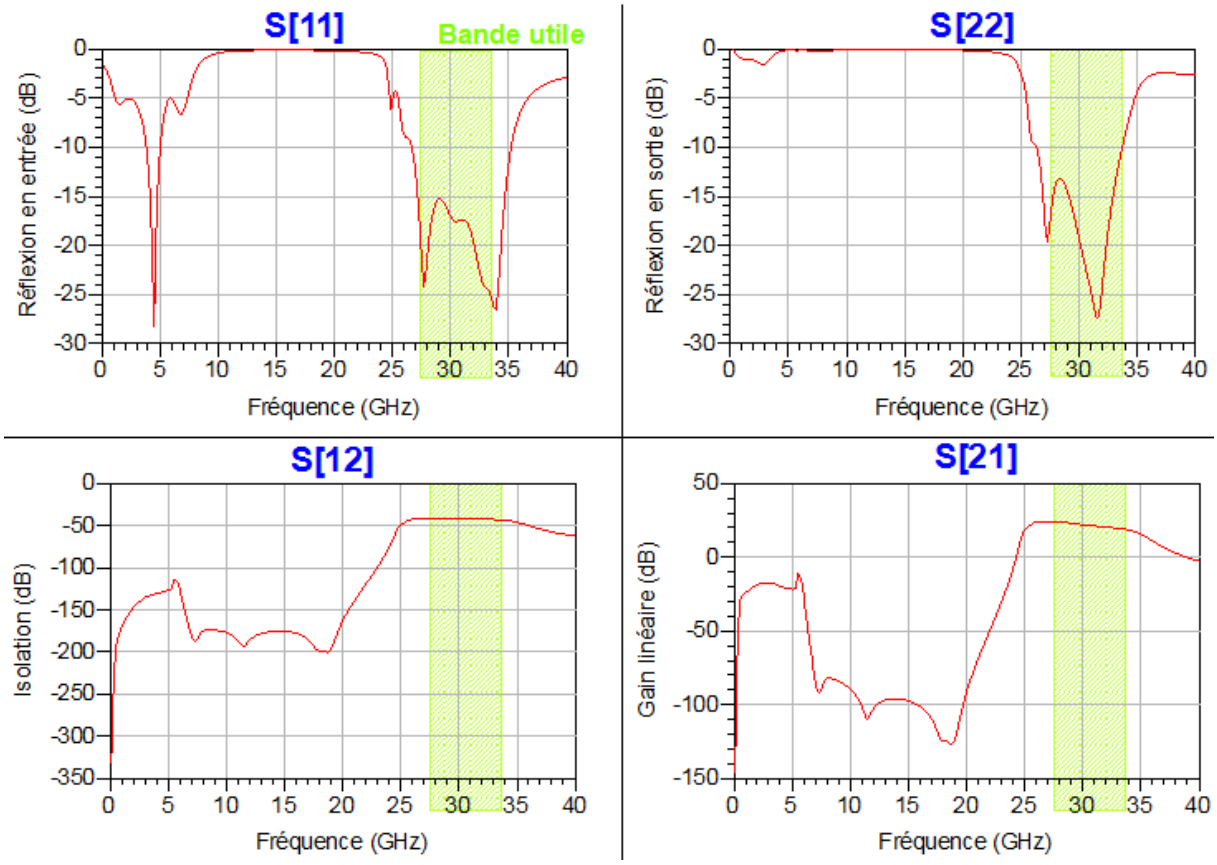


Figure IV.10 : Résultats de simulations de paramètres [S]de notre amplificateur pour le point de polarisation de repos V_{DS} = 20V ; I_{DS} = 100mA/mm pour chaque transistor.

Pour mieux apprécier les performances de l'amplificateur sur la bande utile, la *Figure IV.11* présente les paramètres [S] obtenus en simulation sur la bande de fréquence comprise entre 27GHz et 34GHz.

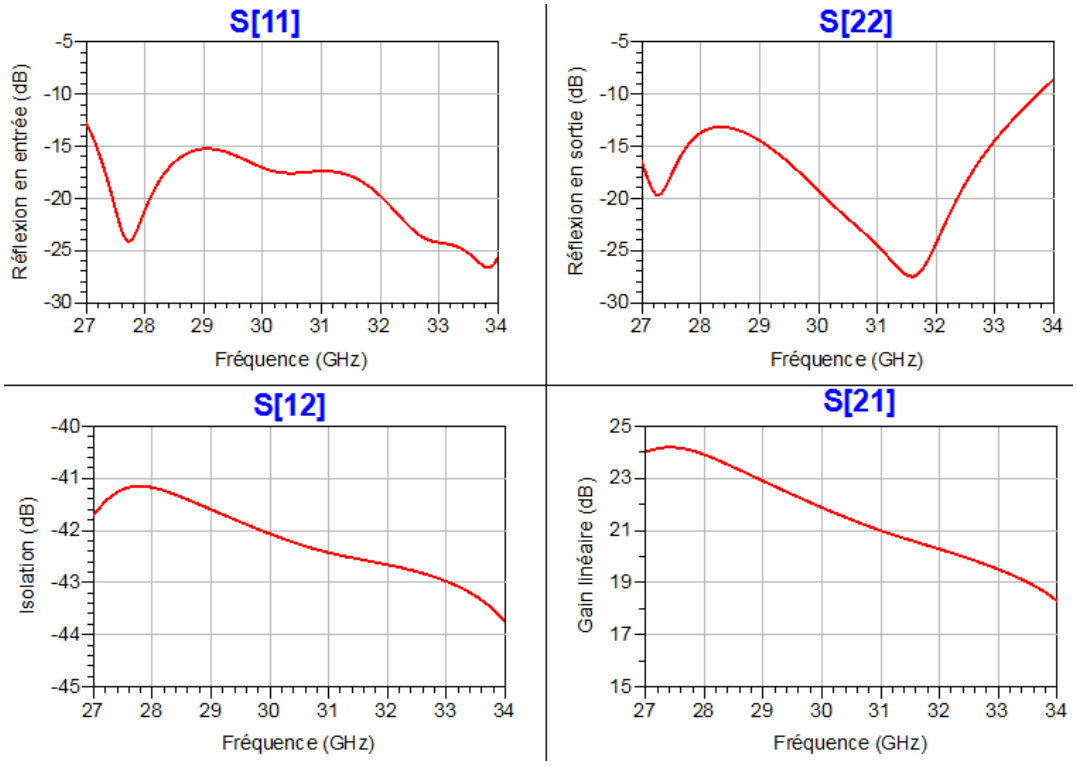


Figure IV.11 : Résultats de simulations de paramètres [S]de notre amplificateur pour le point de polarisation de repos V_{DS} = 20V ; I_{DS} = 100mA/mm pour chaque transistor, centrés sur la bande utile comprise entre 27GHz et 34GHz.

Deux remarques sont toutefois à mettre en avant : le gain varie de près de 6dB dans la bande utile, ce qui est trop important pour des applications de télécommunication et les réflexions en entrée et en sortie, en dessous de 25GHz, approchent presque 0dB, sans toutefois jamais dépasser cette limite. Ce deuxième point est particulièrement sensible puisque des coefficients de réflexion supérieurs à 0dB seraient signes d'instabilité.

D'ailleurs, cette simulation permet également de donner deux facteurs de stabilité : le facteur de Rollet, que l'on notera *k* et le critère d'Edwards-Sinsky donnant la distance entre le centre de l'abaque de Smith et le plus proche cercle de stabilité en sortie, que l'on notera μ_{fact}. Tous deux sont définis respectivement par les équations (4.3) et (4.4).

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2}{2 \cdot |S_{12} \cdot S_{21}|} \qquad (4.3)$$

$$\mu_{fact} = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \cdot \Delta| + |S_{12} \cdot S_{21}|} \tag{4.4}$$

Avec $\Delta = S_{11} \cdot S_{22} - S_{12} \cdot S_{21}$, le déterminant de la matrice de paramètres [S]

Les conditions de stabilité pour ces facteurs sont :

- Si $\mu_{fact} > 1$ alors le quadripôle est inconditionnellement stable.
- Si k > 1 et que |Δ| < 1, alors le quadripôle est inconditionnellement stable.
- Si k < 1, la stabilité sera conditionnelle en fonction des impédances de source et de charge.

Les simulations de paramètres [S], sur la bande 100MHz-40GHz, donnent un minimum pour le facteur de Rollet de k_{min}=3,5 à 27,8GHz et un minimum pour le facteur d'Edwards-Sinsky μ_{fact_min} = 1,012 à 13,2GHz, comme illustré *Figure IV.12*. Ainsi, notre amplificateur de puissance remplierait les conditions nécessaires et suffisantes pour être stable à bas niveau. Toutefois, ces critères ne sont valides que si la fonction de transfert du système considéré ne possède pas de pôles à partie réelle positive [97], [98].

Nous verrons que l'on étudiera plus précisément cette question au paragraphe IV.3, qui traitera de la stabilité de l'amplificateur via l'utilisation d'un outil dédié, prenant notamment en compte les résultats de simulation en puissance.

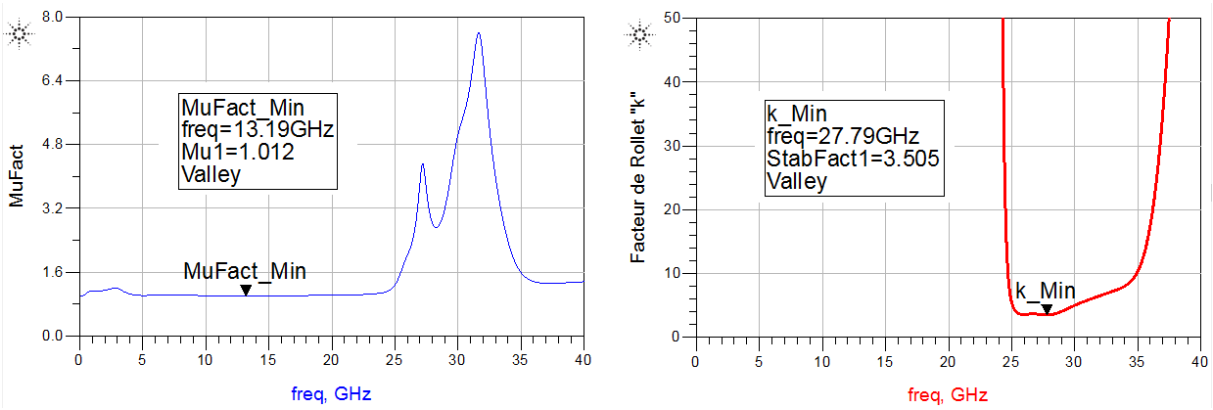


Figure IV.12 : Facteurs de stabilité k et μ_{fact} en fonction de la fréquence obtenus via la simuation en paramètre [S]de l'amplificateur.

IV.2. Simulations en régime fort signal

Les simulations en régime fort signal permettent d'évaluer les performances en puissance et PAE de l'amplificateur. En effet, sous l'effet de la puissance du signal RF injecté en entrée, le comportement du transistor va évoluer et ses caractéristiques vont changer. Les impédances présentées par le transistor ne seront plus les mêmes et le fonctionnement global de l'amplificateur peut se retrouver fortement dégradé.

Les résultats de simulation non-linéaires « Harmonic Balance » sont présentés *Figure IV.13* à *Figure IV.16* ci-dessous et ont été réalisés pour un point de polarisation de repos V_{DS} = 20V ; I_{DS} = 100mA/mm pour chaque transistor.

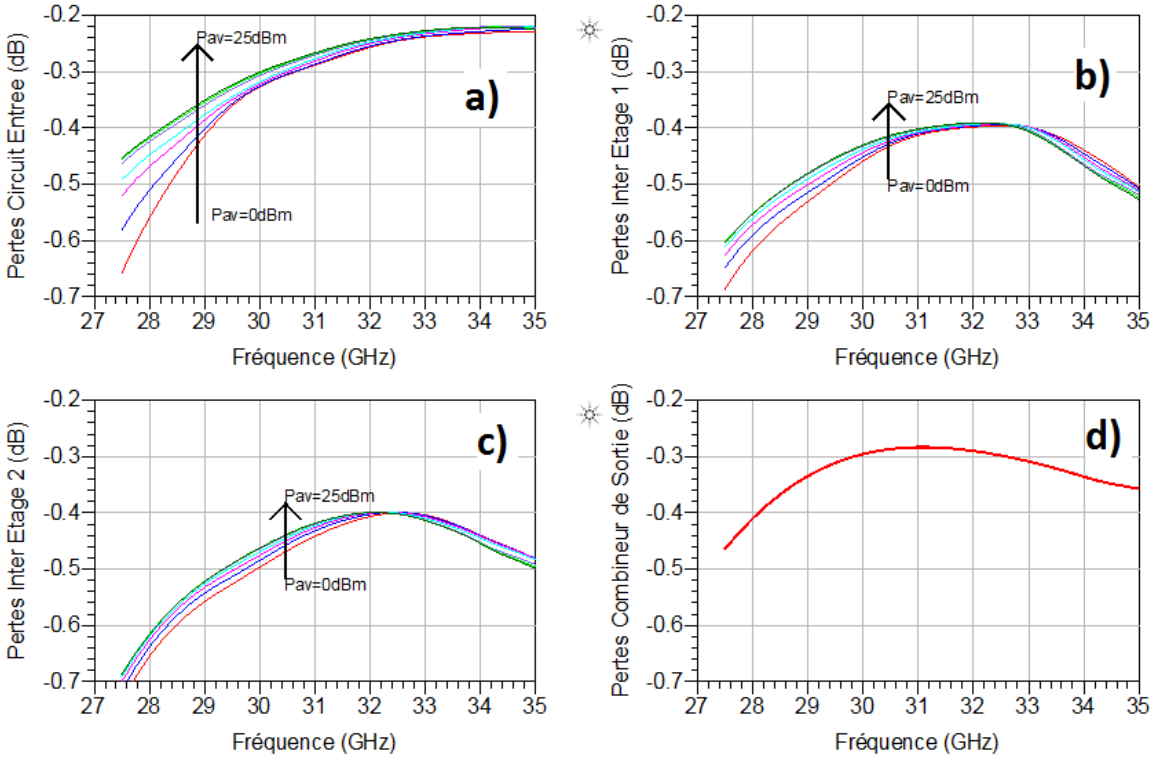


Figure IV.13 : Pertes dues aux différents circuits d'adaptations d'impédances de l'amplificateur obtenues en simulations, en fonction de la fréquence, pour des puissances d'entrée disponibles de 0dBm, 6dBm, 12dBm, 16dBm, 21dBm, 23dBm et 25dBm.

La *Figure IV.13* montre que les pertes dans les différents étages de l'amplificateur sont toujours très faibles, même à forte puissance de signal d'entrée et qu'il y a également peu de variations avec la puissance d'entrée disponible.

La *Figure IV.14* révèle que le gain diminue à chaque étage mais de seulement 1dB et s'applatit en début de bande de fréquence en perdant au maximum 1,5dB entre le premier et le troisième étage à 27,5GHz.

Les résultats de simulation, illustrés dans les *Figure IV.13* à *Figure IV.16*, confirment les performances annoncées par les simulations en paramètres [S]. Le gain de chaque étage reste sensiblement le même dû au fait qu'il y ait peu de pertes dans les circuits d'adaptation d'impédance, ce qui permet présenter un gain à bas niveau supérieur à 18dB sur la plage de fréquence 27,5GHz-33,5GHz (cf. *Figure IV.14* d)). On observe une cassure au niveau du gain total de l'amplificateur entre 33GHz et 34GHz (cf. *Figure IV.14* d)), correspondant à la fréquence de la transition MSG/MAG observée en mesure et en simulation du transistor. Sur la *Figure IV.15* c), on note à 30GHz un maximum de rendement en puissance ajoutée de 24% pour une puissance d'entrée disponible de 23dBm. Pour cette même puissance d'entrée, nous relevons à 30GHz une puissance de sortie de 5W (cf. *Figure IV.15* b)) pour un gain associé de 14dB (cf. *Figure IV.14* d)).

La *Figure IV.14* d) permet de constater que pour une puissance d'entrée disponible de 0dBm, le gain total de l'amplificateur chute en fonction de la fréquence mais celui-ci se stabilise avec la puissance injectée et, pour une puissance disponible en entrée de 25dBm, reste de 12±0,5dB sur la plage de fréquence allant de 27,5GHz à 33GHz. Dans cette bande de fréquence et pour une puissance disponible en entrée de 25dBm, la PAE baisse de 5 points pour atteindre 20% à 33GHz (cf. *Figure IV.15* c)).

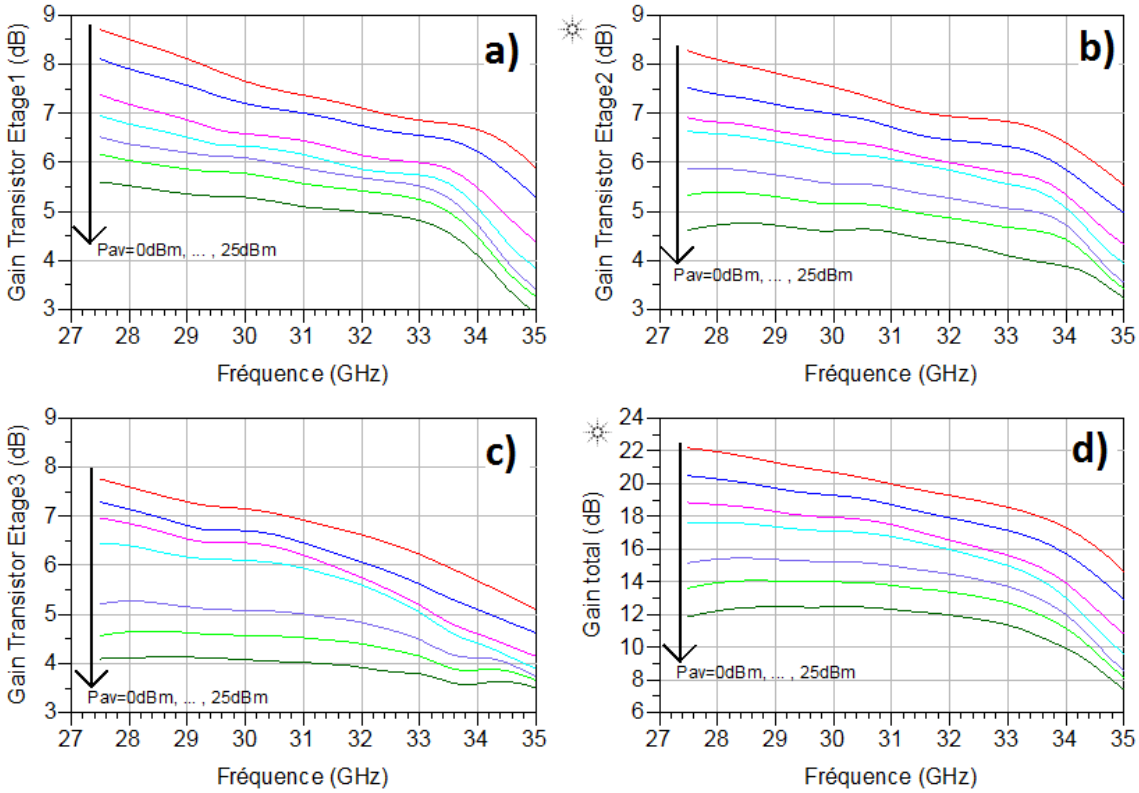


Figure IV.14 : Gains des différents étages de l'amplificateur obtenus en simulations, en fonction de la fréquence, pour des puissances d'entrée disponibles de 0dBm, 6dBm, 12dBm, 16dBm, 21dBm, 23dBm et 25dBm.

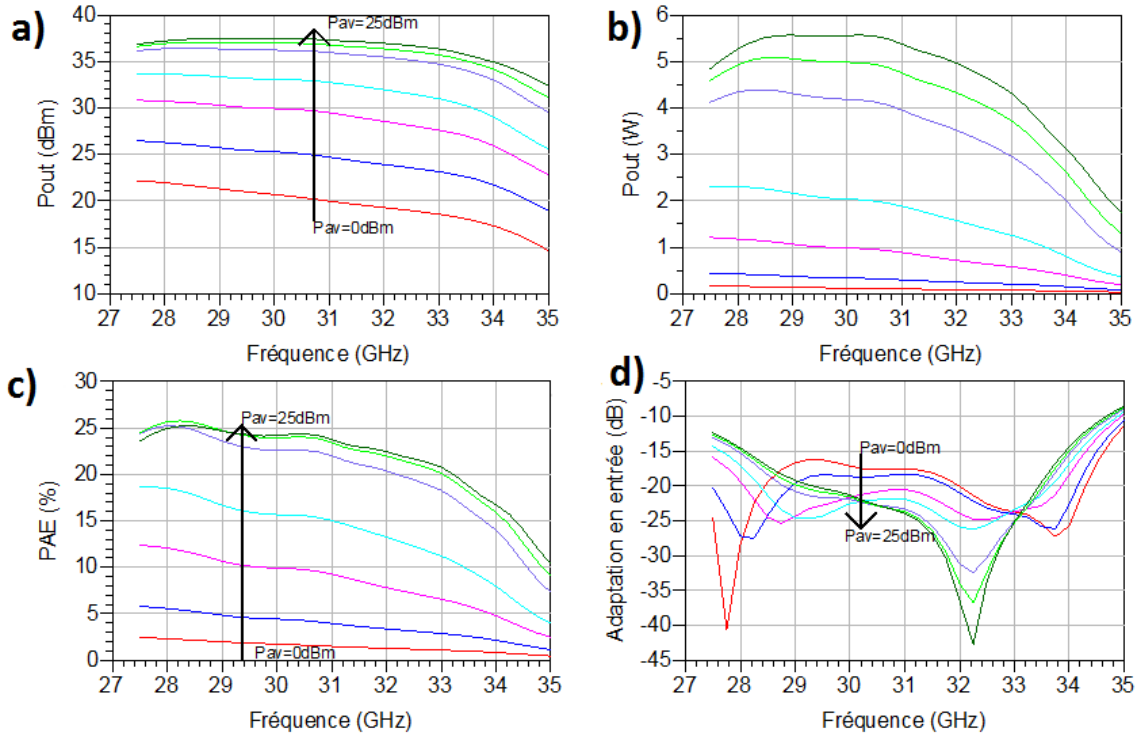


Figure IV.15 : Résultats de simulations présentant la puissance de sortie en W et dBm, la PAE et l'adaptation d'entrée, en fonction de la fréquence, pour des puissances d'entrée disponibles de 0dBm, 6dBm, 12dBm, 16dBm, 21dBm, 23dBm et 25dBm.

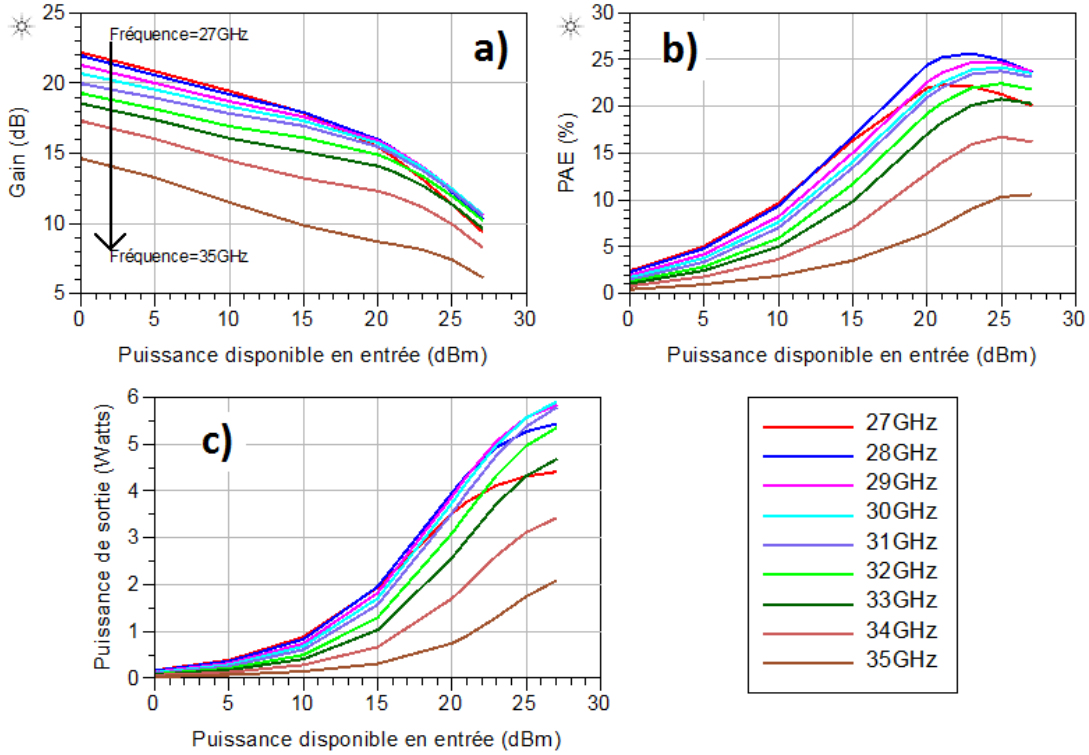


Figure IV.16 : Résultats de simulations présentant le gain en dB, la PAE et la puissance de sortie en W, en fonction de la puissance disponible en entrée, pour des fréquences de 27GHz à 35GHz par pas de 1GHz.

Pour reprendre les objectifs visés, si l'on se base sur une plage de fréquence utile de 27,5GHz à 33GHz (soit 1,5GHz de moins que l'objectif), le gain linéaire est supérieur à 18dB, l'isolation est inférieure à 35db (-40dB ici) et l'adaptation en entrée et en sortie est inférieur à 15dB. Seul l'objectif de puissance de sortie ne sera pas atteint : nous obtenons une puissance de sortie de 5,5W à 4,5W sur cette bande de fréquence utile avec une PAE associée de 25% à 20% (conforme à l'objectif de PAE).

Le problème d'ondulation de 6dB de gain à bas niveau de puissance d'entrée injectée pourrait-être résolu en ajoutant plus de pertes sur les inter-étages, de façon à ne baisser que le gain en bas de bande de fréquence utile. L'ajout de circuits R-C parallèles pourrait contribuer à aider mais demanderait des modifications importantes sur l'architecture, ce qui était impossible à réaliser dans le temps imparti.

Une version utilisant une architecture équilibrée à coupleur de Lange permettrait de doubler la puissance de sortie diminuée des pertes dans le coupleur. C'est cette architecture qui a été retenue dans la publication de 2013 de Triquint [84].
Un coupleur de Lange avait été conçu auparavant par S. Piotrowicz, ingénieur au III-V Lab, pour fonctionner autour de 30GHz. Les caractéristiques physiques de ce coupleur sont une longueur de 1030µm, une largeur des lignes de 18µmet un espacement entre les lignes couplées de 8µm. Les pertes sont de 0,18dB à 30 GHz. Nous avons réutilisé le modèle électromagnétique de ce coupleur pour créer une version équilibrée de notre amplificateur. Les performances de l'amplificateur équilibré obtenues en simulation de puissance non-linéaire sont présentées *Figure IV.17*. Pour compenser les pertes dues au coupleur de Lange, la puissance disponible en entrée a été augmentée de 3dB, afin de donner des performances comparables avec celles présentées précédemment de la *Figure IV.14* à la *Figure IV.16*.

Avec cette configuration, l'amplificateur équilibré fournit, pour une puissance d'entrée disponible de 29dBm, une puissance de sortie de 10W sur la bande de fréquence comprise entre 28GHz et 30,5GHz et de plus de 8W sur la bande de fréquence utile définie précédemment comprise entre 27,5GHz et 33GHz. Par rapport à la version à un seul amplificateur, la version équilibrée perd 2% de PAE sur la bande utile, et atteint 23% en début de bande puis diminue jusqu'à atteindre 19% à 33GHz. Le gain total de la version équilibrée reste sensiblement identique à la version à un amplificateur seul (ou '*single ended*' en anglais).

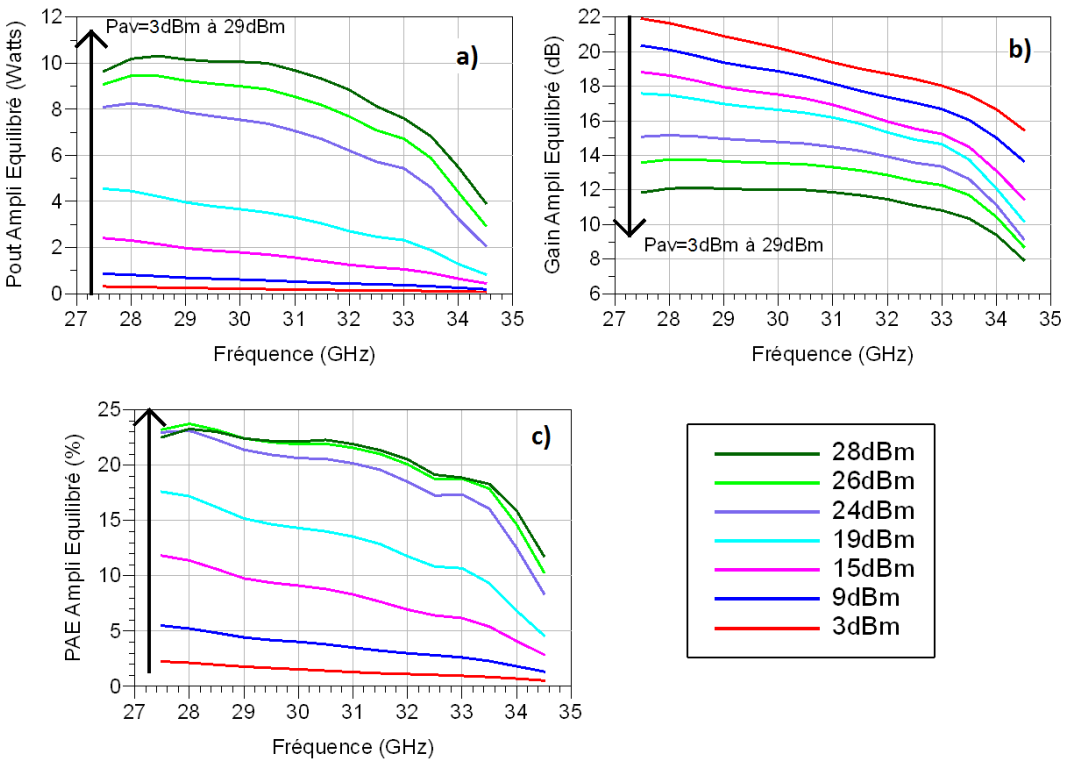


Figure IV.17 : Résultats de simulations de l'amplificateur équilibré présentant la puissance de sortie en W, le gain en dB et la PAE, en fonction de la fréquence, pour des puissances d'entrée disponibles de 3dBm, 9dBm, 15dBm, 19dBm, 24dBm, 26dBm et 28dBm.

Dans la suite du manuscrit, nous avons procédé à une analyse de stabilité plus approfondie, sur l'amplificateur en configuration '*single ended*'. Cette étude nous permettra de valider la stabilité de cette version constituant la brique elementaire de la version équilibrée.

IV.3. Analyse de stabilité

Comme expliqué au paragraphe IV.2, la stabilité de l'amplificateur est un point clé de la conception et doit être considérée dès ses débuts. L'ajout de résistances dans la conception des circuits permet d'anticiper d'éventuelles perturbations et de contribuer à leur atténuation. Nous avons vu que des premiers critères de stabilité en régime linéaire pouvaient être utilisés lors d'une analyse en paramètres [S] de l'amplificateur, mais pour être rigoureux, ces critères ne sont pas entièrement satisfaisants. Premièrement, pour que leurs postulats soient valides, il faut que la fonction de transfère ne comprenne pas de pôles à partie réelle positive. Ensuite, ces facteurs ne renseignent que sur la stabilité d'un montage utilisé en petit signal mais lors de l'utilisation de signaux de puissance, l'état de l'amplificateur varie et une étude de la stabilité en large signal doit être effectuée.

Pour cela, nous réutilisons des travaux initiés par le laboratoire Xlim puis repris par l'université du Pays Basque en Espagne [99], [100]. Ces travaux ont donné naissance à un logiciel dénommé STAN, que nous avons utilisé dans ces travaux de thèse.

Le principe de cette méthode repose sur l'analyse du comportement de l'amplificateur lorsqu'une perturbation est générée sur l'entrée d'un des étages de transistors, sous la forme d'un signal de faible amplitude et est balayée sur une large gamme de fréquences allant de quelques mégahertz à plusieurs gigahertz après la limite haute de la bande de fréquence utile, comme expliqué *Figure IV.18*.

Plusieurs simulations ont été effectuées, en premier lieu en régime de petit signal avec des générateurs de tension AC puis en régime de fort signal avec des générateurs à 1 ton. Dans chaque cas, la perturbation a été positionnée à l'entrée de chacun des étages de l'amplificateur, afin de s'assurer que toutes les instabilités potentielles soient détectées.

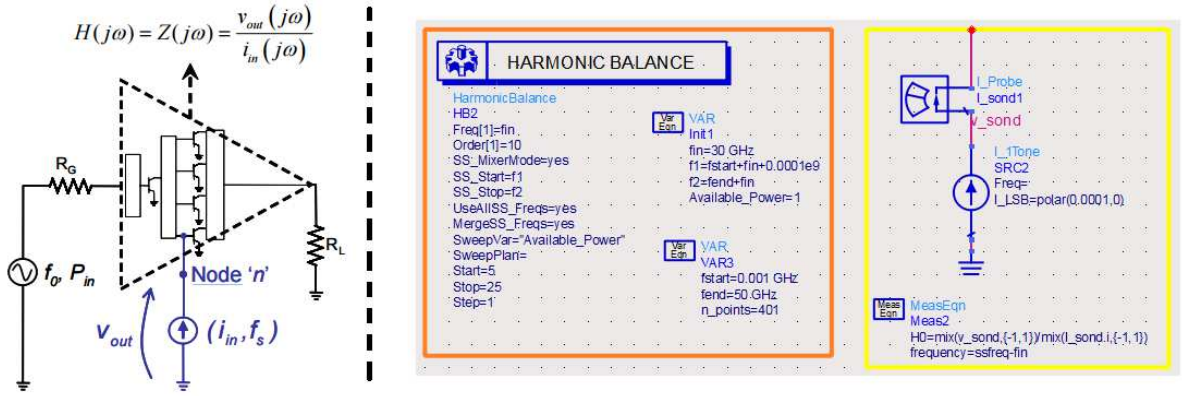


Figure IV.18 : Principe utilisé par le logiciel STAN et l'environnement associé sous le logiciel ADS pour une simulation fort-signal avec balayage de la puissance d'entrée disponible.

Nous récupérons ensuite la fonction H0, représentant l'impédance vue aux bornes de la source d'excitation parasite et nous allons chercher à reproduire par une fonction mathématique sa réponse en amplitude et en phase, en fonction de la fréquence.

Si cette fonction mathématique équivalente possède des pôles à partie réelle positive, une instabilité du montage sera alors possible.

La *Figure IV.19* illustre un exemple de modélisation de la réponse en amplitude et en phase du signal H0 pour une puissance d'entrée de 0dBm et pour une plage de fréquence allant de 2GHz à 8GHz.

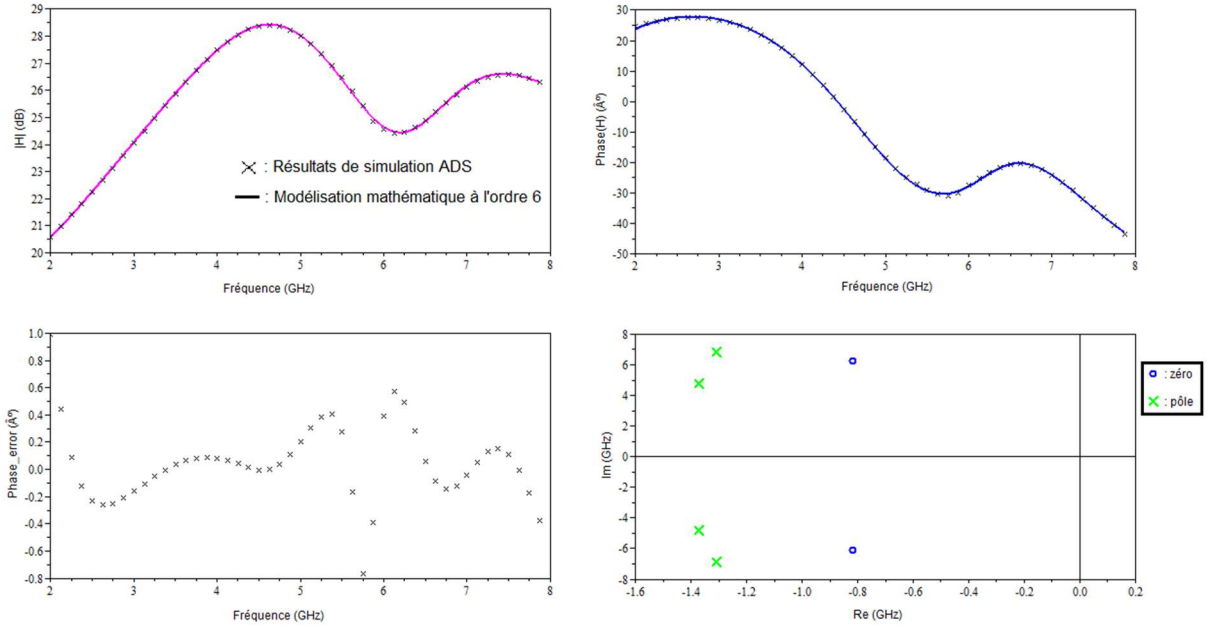


Figure IV.19 : Modélisation des résultats de la fonction du signal de perturbation H0 par une fonction mathématique d'ordre 6. Affichage des pôles et zéros résultant dans un plan complexe. La puissance d'entrée dans la simulation a été réglée à 0dBm.

Les nombreuses variations d'amplitude et de phase de la fonction H0 en fonction de la fréquence ne permettent pas une modélisation directe par une fonction mathématique sur la plage de fréquence [100kHz-50GHz]. Nous devons donc mener l'analyse par plages de fréquences réduites. Nous ne représenterons pas ici tous les cas analysés mais nous n'avons trouvé aucune instabilité potentielle.

Afin de s'assurer qu'une instabilité n'apparaît pas pour certaines puissances d'entrée, nous avons effectué l'analyse pour les valeurs de puissances allant de 5dBm à 25dBm par pas de 1dBm. Les faibles variations des signaux de phase et d'amplitude de la fonction H0 en fonction de la puissance d'entrée, illustrées *Figure IV.20*, laissaient déjà penser que nous n'observerions pas d'instabilité pour les puissances d'entrée en jeu.

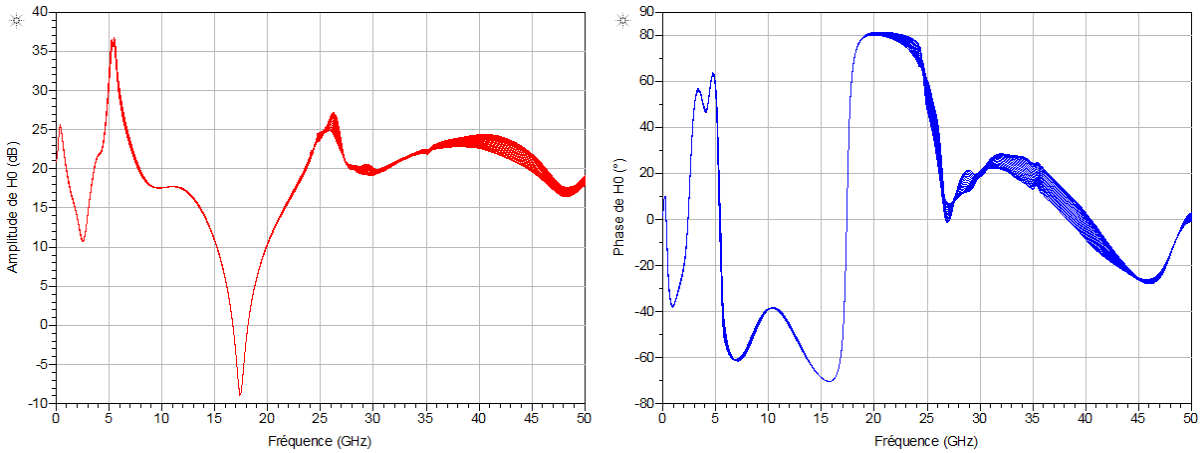


Figure IV.20 : Résultats de simulation de l'amplitude et de la phase du signal H0 représentant l'action de la perturbation parasite sur le troisième étage de l'amplificateur en fonction de la fréquence pour des puissances de signal d'entrée allant de 5dBm à 25dBm.

V Conclusion

Ce chapitre a présenté les étapes de conception d'un amplificateur MMIC en bande Ka, basée sur l'utilisation de composants HEMTs InAlN/GaN développés au III-V Lab et dont le modèle a été décrit au chapitre III de cette thèse.

La conception de circuit à ces fréquences soulève de nouvelles difficultés comme la nécessité de concevoir les différentes parties en se basant sur des résultats de simulation électromagnétique. Pour des raisons de temps, nous n'avons pas présenté ici une solution complètement basée sur des circuits validés par des simulations électromagnétiques mais cette conception était avant tout destinée à valider la possibilité d'utiliser les composants de la filière HEMT InAlN/GaN développée au III-V Lab pour concevoir des circuits à ces fréquences. Si une future conception doit être vouée, cette fois, à devenir un produit industriel, il faudra s'assurer de modéliser complètement la solution avec des outils de simulations électromagnétiques mais également faire une étude sur les variations occasionnées par la dispersion possible des éléments passifs et des transistors.

L'architecture proposée ici a pu démontrer la faisabilité d'un amplificateur en bande Ka en proposant des performances s'inscrivant dans l'état de l'art présenté en début de chapitre. En effet, même si les puissances de sortie offertes par les dernières solutions industrielles à base de transistors en AlGaN/GaN sont très loin devant, notre solution peut se comparer au résultat [26] daté de 2013 présentant 4W en puissance de sortie. Nos résultats de simulation démontrent une puissance de sortie de plus de 4W pour un gain de 12dB et un rendement en puissance

ajoutée de 22%, ce qui est comparable avec les résultats de cette publication et notre bande de fréquence utile, comprise entre 27,5GHz et 33GHz, est supérieure de quelques gigahertz.

Conclusion Générale

Ce manuscrit a rapporté les études effectuées sur une nouvelle filière de transistor HEMT GaN, basée sur une barrière en InAlN, dans le cadre d'une thèse CIFRE en partenariat avec le laboratoire universitaire Xlim et l'entreprise III-V Lab. Pour situer le contexte et expliquer les raisons ayant poussé le III-V Lab à développer cette filière de HEMT en InAlN/GaN le chapitre I est revenu sur les propriétés physiques de ces composants et leur principe de fonctionnement. Un des premiers objectifs de cette filière étant la montée en fréquence des performances, des nouvelles grilles de 0,15µm de long ont été fabriquées avec comme objectif de démontrer des performances autour de la bande Ka. Dans ce premier chapitre, nous avons donc également dressé un état de l'art des transistors HEMTs GaN opérant en bande Ka.

De par leurs caractéristiques, les HEMTs GaN permettent d'obtenir des puissances importantes pour des fonctionnements hyperfréquence et devraient encore être une solution clé pour de nombreux domaines allant des télécommunications aux applications radar. Pour des applications de puissance au-delà de 20 GHz, cette technologie n'est pas encore mature et les fondeurs européens accusent un retard sur les concurrents américains ou japonais. Un important travail de caractérisation doit être encore mené afin de comprendre les phénomènes perturbateurs, comme les phénomènes de piégeage et dépiégeage, pour améliorer ces filières. C'est dans cette optique que nous nous sommes intéressés à la détection des pièges dans les transistors par une méthode de mesure de paramètres [S] en basse fréquence, présentée au chapitre II. Cette méthode permet l'identification de pièges dans les transistors, en effectuant des mesures de paramètres [S] en basse fréquences sous pointes. L'utilisation d'un analyseur de réseaux vectoriels permet d'obtenir une bonne dynamique de mesure et permet donc d'effectuer des relevés très sensibles. Au-delà de la simple détection de piège, nous avons mis en avant les variations observées sur ces mesures avec la polarisation appliquée, démontrant que l'action des pièges ne peut être analysée à un seul point de polarisation. La complexité de ces phénomènes requiert d'avantages de mesures et de comparaisons, de ce fait, nous avons présenté quelques perspectives d'utilisation possible de cette méthode pouvant permettre de mieux les cerner (comme la mesure de composants avant et après stress ou la mesure à différentes polarisations). Ces travaux doivent également être recoupés avec des résultats de

simulations physiques afin d'améliorer la compréhension et la modélisation des effets des pièges.

Hormis la caractérisation dédiée aux phénomènes de piégeage et dépiégeage, pour évaluer les performances de cette filière en développement, d'autres mesures doivent être réalisées telles des mesures de courant-tension, de paramètres [S] et de puissance. Dans le cadre d'une future conception d'amplificateur MMIC en bande Ka, nous avons ciblé un HEMT InAlN/GaN comprenant 6 doigts de grille de 50µm de large et de 150nm de long, sur lequel nous avons effectué ces caractérisations. Sur la base de ces mesures, nous avons pu développer un modèle électrothermique de ce transistor prenant en compte le comportement non-linéaire du composant en fonction de la polarisation. Les étapes ayant conduit à cette modélisation font l'objet du chapitre III. Il s'agit d'un modèle de type GAMM auquel les résultats issus des mesures de paramètres [S] en basse fréquence, abordées au chapitre II, ont été ajoutées. Nous avons également souligné l'importance de la précision des mesures à des fréquences de plusieurs dizaines de gigahertz, notamment pour établir des circuits de *deembedding* corrects.

Le modèle décrit au chapitre III a été utilisé pour la conception d'un amplificateur de puissance MMIC en bande Ka, dont les étapes sont présentées au chapitre IV. L'objectif de cette conception était de démontrer la faisabilité et les potentialités d'un amplificateur en bande Ka, basé sur des transistors HEMTs InAlN/GaN développés au III-V Lab. Sur la base de simulations électriques obtenues via le logiciel ADS, nous démontrons des performances à l'état de l'art pour un amplificateur à trois étages. La puissance de sortie maximale obtenue est de 5,5W à 4,5W sur une bande de fréquence utile comprise entre 27,5GHz et 33GHz, avec une PAE associée variant de 25% à 20% et un gain associé de 13dB. Le gain linéaire est supérieur à 18dB dans cette bande utile.

Nous avons également souligné l'importance de l'utilisation de moteur de simulation électromagnétique pour la conception de circuits à des fréquences de plusieurs gigahertz. En effet, les problèmes de couplage entre les lignes et les éléments passifs à ces fréquences ne peuvent pas être négligés. Pour des raisons de temps imparti à ces travaux de thèse, nous n'avons pas pu concevoir un circuit complet validé par ces simulations électromagnétiques mais nous avons montré que les modifications à apporter à l'architecture pour être conforme avec ces simulations restent légères. D'autres points inhérents à cette conception seraient à revoir pour la conception de produit industriel comme une étude de dispersion, une réduction de l'encombrement global et l'aplatissement du gain en faible puissance.

Ces travaux de thèse ont donc permis de montrer que la filière de composants HEMTs InAlN/GaN, possédant une longueur de grille de 150nm, est une solution valable pour des applications de puissances en gamme millimétrique. Cependant, des challenges sont encore présents, comme l'amélioration de la robustesse des composants, qui passera par une meilleure compréhension des phénomènes de piégeage et de dépiégeage. Ce sont des voies de recherches suivies par le laboratoire commun III-V Lab – Xlim, qui portent aujourd'hui leurs fruits. En effet, les dernières générations de composants ont permis d'améliorer les performances en puissance des transistors permettant d'obtenir une densité de puissance de sortie de l'ordre de 3W/mm, 37% de PAE et 6dB de gain associé à 30 GHz sur un composant 6x50µm polarisé à Vds = 17,5V. Ces performances vont permettre encore d'améliorer les résultats au niveau amplificateur.

Bibliographie

[1] J. A. Del Alamo, “Si CMOS for RF Power Applications,” presented at the Workshop on Advanced Technologies for Next Generation of RFIC, 2015 RFIC Symposium, 12-Jun-2015.

[2] M. S. E. E. Bahat-Treidel, “GaN-Based HEMTs for High Voltage Operation,” 2012.

[3] F. Schwierz, “Wide Bandgap and Other Non-III-V RF Transistors : Trends and Prospects,” ASU Tempe, 24-Mar-2004.

[4] E. Johnson, “Physical limitations on frequency and power parameters of transistors,” in *1958 IRE International Convention Record*, 1965, vol. 13, pp. 27–34.

[5] B. J. Baliga, “Power semiconductor device figure of merit for high-frequency applications,” *IEEE Electron Device Lett.*, vol. 10, no. 10, pp. 455–457, Oct. 1989.

[6] G. Chicot, “Field effect in boron doped diamond,” These de doctorat, Université de Grenoble, 2013.

[7] A. Vescan, P. Gluche, W. Ebert, and E. Kohn, “High-temperature, high-voltage operation of pulse-doped diamond MESFET,” *IEEE Electron Device Lett.*, vol. 18, no. 5, pp. 222–224, May 1997.

[8] P. C. Chao, K. Chu, and C. Creamer, “A New High Power GaN-on-Diamond HEMT with Low-Temperature Bonded Substrate Technology,” in *CS MANTECH Conference*, 2013.

[9] H. L. Störmer, R. Dingle, A. C. Gossard, W. Wiegmann, and M. D. Sturge, “Two-dimensional electron gas at a semiconductor-semiconductor interface,” *Solid State Commun.*, vol. 29, no. 10, pp. 705–709, Mar. 1979.

[10] O. Jardel, “Contribution à la modélisation des transistors pour l’amplification de puissance aux fréquences microondes : développement d’un nouveau modèle électrothermique de HEMT AlGaN/GaN incluant les effets de pièges,” Université de Limoges, 2008.

[11] W.-K. Wang, P.-C. Lin, C.-H. Lin, C.-K. Lin, Y.-J. Chan, G.-T. Chen, and J.-I. Chyi, “Performance enhancement by using the n/sup +/-GaN cap layer and gate recess technology on the AlGaN-GaN HEMT fabrication,” *IEEE Electron Device Lett.*, vol. 26, no. 1, pp. 5–7, Jan. 2005.

[12] D. S. Lee, X. Gao, S. Guo, and T. Palacios, “InAlN/GaN HEMTs With AlGaN Back Barriers,” *IEEE Electron Device Lett.*, vol. 32, no. 5, pp. 617–619, mai 2011.

[13] T. Palacios, A. Chakraborty, S. Heikman, S. Keller, S. P. DenBaars, and U. K. Mishra, “AlGaN/GaN high electron mobility transistors with InGaN back-barriers,” *IEEE Electron Device Lett.*, vol. 27, no. 1, pp. 13–15, Jan. 2006.

[14] Y. Wang, N. S. Yu, D. M. Deng, F. Sun, and K. M. Lau, “Improved breakdown voltage of AlGaN/GaN HEMTs grown on Si substrates using partially Mg-doped GaN buffer layer by MOCVD,” *Science China*, pp. 1578–1581, Sep-2010.

[15] Y. C. Choi, L. F. Eastman, and M. Pophristic, “Effects of an Fe-doped GaN Buffer in AlGaN/GaN Power HEMTs on Si Substrate,” in *Solid-State Device Research Conference, 2006. ESSDERC 2006. Proceeding of the 36th European*, 2006, pp. 282–285.

[16] U. K. Mishra, L. Shen, T. E. Kazior, and Y.-F. Wu, “GaN-Based RF Power Devices and Amplifiers,” *Proc. IEEE*, vol. 96, no. 2, pp. 287–305, Feb. 2008.

[17] J. Joh and J. A. del Alamo, “Mechanisms for electrical degradation of GaN high-electron mobility transistors,” in *Electron Devices Meeting, 2006. IEDM’06. International*, 2006, pp. 1–4.

[18] J. Kuzmik, “Power electronics on InAlN/(In)GaN: Prospect for a record performance,” *IEEE Electron Device Lett.*, vol. 22, no. 11, pp. 510–512, Nov. 2001.

[19] D. G. Zhao and D. S. Jiang, *GaN Based Ultraviolet Photodetectors*. INTECH Open Access Publisher, 2011.

[20] C. Mion, “Investigation of the thermal properties of gallium nitride using the three omega technique,” 2006.

[21] W. Lu, V. Kumar, R. Schwindt, E. Piner, and I. Adesida, “A comparative study of surface passivation on AlGaN/GaN HEMTs,” *Solid-State Electron.*, vol. 46, no. 9, pp. 1441–1444, 2002.

[22] P. Altuntas, F. Lecourt, A. Cutivet, N. Defrance, E. Okada, M. Lesecq, S. Rennesson, A. Agboton, Y. Cordier, V. Hoel, and J.-C. De Jaeger, “Power Performance at 40 GHz of AlGaN/GaN High-Electron Mobility Transistors Grown by Molecular Beam Epitaxy on Si(111) Substrate,” *IEEE Electron Device Lett.*, vol. 36, no. 4, pp. 303–305, Apr. 2015.

[23] O. Patard, R. Aubry, J. C. Jacquet, S. Piotrowicz, O. Jardel, N. Michel, M. Oualli, E. Chartier, D. Lancereau, M. A. Di-Forte Poisson, P. Gamarra, C. Lacam, and S. L. Delage, “Improvement of the passivation process for high performance InAlN/GaN HEMT on SiC,” presented at the Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCSDICE), 2015, 2015, pp. 57–58.

[24] S. Tirelli, L. Lugani, D. Marti, J.-F. Carlin, N. Grandjean, and C. R. Bolognesi, “AlInN-Based HEMTs for Large-Signal Operation at 40 GHz,” *IEEE Trans. Electron Devices*, vol. 60, no. 10, pp. 3091–3098, Oct. 2013.

[25] A. Soltani, J.-C. Gerbedoen, Y. Cordier, D. Ducatteau, M. Rousseau, M. Chmielowska, M. Ramdani, and J.-C. De Jaeger, “Power Performance of AlGaN/GaN High-Electron-Mobility Transistors on (110) Silicon Substrate at 40 GHz,” *IEEE Electron Device Lett.*, vol. 34, no. 4, pp. 490–492, Apr. 2013.

[26] J. Cheron, M. Campovecchio, R. Quere, D. Schwantuschke, R. Quay, and O. Ambacher, “High-efficiency power amplifier MMICs in 100 nm GaN technology at Ka-band frequencies,” in *Microwave Conference (EuMC), 2013 European*, 2013, pp. 1463–1466.

[27] F. Medjdoub, M. Zegaoui, B. Grimbert, D. Ducatteau, N. Rolland, and P. A. Rolland, “First Demonstration of High-Power GaN-on-Silicon Transistors at 40 GHz,” *IEEE Electron Device Lett.*, vol. 33, no. 8, pp. 1168–1170, Aug. 2012.

[28] D. Marti, S. Tirelli, A. R. Alt, J. Roberts, and C. R. Bolognesi, “150-GHz Cutoff Frequencies and 2-W/mm Output Power at 40 GHz in a Millimeter-Wave AlGaN/GaN HEMT Technology on Silicon,” *IEEE Electron Device Lett.*, vol. 33, no. 10, pp. 1372–1374, Oct. 2012.

[29] C. F. Campbell, “High Power GaN MMIC,” in *W03-6 : Gallium Nitride : Advances in DC and RF Power*, Amsterdam, 2012, vol. Workshop.

[30] J. J. Zhou, X. Dong, C. Kong, Y. C. Kong, C. J. Ren, Z. H. Li, T. S. Chen, C. Chen, and B. Zhang, “Developing the Ka-band GaN power HEMT devices,” in *2012 5th Global Symposium on Millimeter Waves (GSMM)*, 2012, pp. 617–620.

[31] K. Takagi, K. Matsushita, K. Masuda, S. Nakanishi, T. Soejima, H. Sakurai, K. Onodera, J. Shim, H. Kawasaki, Y. Takada, M. Hirose, and K. Tsuda, “GaN HEMTs with pre-match for Ka-band with 18W,” in *Microwave Symposium Digest (MTT), 2011 IEEE MTT-S International*, 2011, pp. 1 –4.

[32] K. Takagi, K. Matsushita, Y. Kashiwabara, K. Masuda, S. Nakanishi, H. Sakurai, K. Onodera, H. Kawasaki, Y. Takada, and K. Tsuda, “Developing GaN HEMTs for Ka-Band with 20W,” in *2010 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2010, pp. 1 –4.

[33] A. Crespo, M. M. Bellot, K. D. Chabak, J. K. Gillespie, G. H. Jessen, V. Miller, M. Trejo, G. D. Via, D. E. Walker, B. W. Winningham, H. E. Smith, T. A. Cooper, X. Gao, and S. Guo, “High-Power Ka-Band Performance of AlInN/GaN HEMT With 9.8-nm-Thin Barrier,” *IEEE Electron Device Lett.*, vol. 31, no. 1, pp. 2 –4, Jan. 2010.

[34] J. S. Moon, D. Wong, M. Hu, P. Hashimoto, M. Antcliffe, C. McGuire, M. Micovic, and P. Willadson, “55% PAE and High Power Ka-Band GaN HEMTs With Linearized Transconductance via GaN Source Contact Ledge,” *IEEE Electron Device Lett.*, vol. 29, no. 8, pp. 834–837, Aug. 2008.

[35] T. Palacios, A. Chakraborty, S. Rajan, C. Poblenz, S. Keller, S. P. DenBaars, J. S. Speck, and U. K. Mishra, “High-power AlGaN/GaN HEMTs for Ka-band applications,” *IEEE Electron Device Lett.*, vol. 26, no. 11, pp. 781–783, Nov. 2005.

[36] T. Palacios, A. Chakraborty, S. Rajan, C. Poblenz, S. Keller, S. P. DenBaars, J. S. Speck, and U. K. Mishra, “High-power AlGaN/GaN HEMTs for Ka-band applications,” *IEEE Electron Device Lett.*, vol. 26, no. 11, pp. 781 – 783, Nov. 2005.

[37] Y.-F. Wu, M. Moore, A. Saxler, T. Wisleder, U. K. Mishra, and P. Parikh, “8-watt GaN HEMTs at millimeter-wave frequencies,” in *Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International*, 2005, pp. 583 –585.
[38] M. Micovic, A. Kurdoghlian, H. P. Moyer, P. Hashimoto, A. Schmitz, I. Milosavljevic, P. J. Willadsen, W.-S. Wong, J. Duvall, M. Hu, M. Wetzel, and D. H. Chow, “GaN MMIC technology for microwave and millimeter-wave applications,” in *IEEE Compound Semiconductor Integrated Circuit Symposium, 2005. CSIC ’05*, 2005, p. 3 pp.
[39] J. S. Moon, S. Wu, D. Wong, I. Milosavljevic, A. Conway, P. Hashimoto, M. Hu, M. Antcliffe, and M. Micovic, “Gate-recessed AlGaN-GaN HEMTs for high-performance millimeter-wave applications,” *IEEE Electron Device Lett.*, vol. 26, no. 6, pp. 348–350, Jun. 2005.
[40] S. C. Binari, P. B. Klein, and T. E. Kazior, “Trapping effects in GaN and SiC microwave FETs,” *Proc. IEEE*, vol. 90, no. 6, pp. 1048–1058, 2002.
[41] A. P. Zhang, L. B. Rowland, E. B. Kaminsky, V. Tilak, J. C. Grande, J. Teetsov, A. Vertiatchikh, and L. F. Eastman, “Correlation of device performance and defects in AlGaN/GaN high-electron mobility transistors,” *J. Electron. Mater.*, vol. 32, no. 5, pp. 388–394, 2003.
[42] V. Gavryushin, “Deep Level Saturation Spectroscopy,” *Int. J. Opt.*, vol. 2012, pp. 1–16, 2012.
[43] D. V. Lang, “Deep level transient spectroscopy: A new method to characterize traps in semiconductors,” *J. Appl. Phys.*, vol. 45, no. 7, pp. 3023–3032, 1974.
[44] R. Vetury, “Polarization Induced 2DEG in AlGaN/GaN HEMTs : On the origin, DC and transient characterization,” University of California Santa Barbara, 2000.
[45] J.-P. Teyssier, “Caractérisation en impulsions des transistors microondes : application à la modélisation non linéaire pour la c.a.o. des circuits,” Limoges, 1994.
[46] C. Charbonniaud, “Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l’amplification de puissance micro-onde,” Limoges, France, 2005.
[47] A. R. Arehart, A. C. Malonis, C. Poblenz, Y. Pei, J. S. Speck, U. K. Mishra, and S. A. Ringel, “Next generation defect characterization in nitride HEMTs,” *Phys. Status Solidi C*, vol. 8, no. 7–8, pp. 2242–2244, Jul. 2011.
[48] P. Audren, J. M. Dumas, M. P. Favennec, and S. Mottet, “Étude des pièges dans les transistors à haute mobilité électronique sur GaAs à l’aide de la méthode dite de ``relaxation isotherme''. Corrélation avec les anomalies de fonctionnement,” *J. Phys. III*, vol. 3, pp. 185–206, Feb. 1993.
[49] J. Joh and J. A. del Alamo, “A Current-Transient Methodology for Trap Analysis for GaN High Electron Mobility Transistors,” *IEEE Trans. Electron Devices*, vol. 58, no. 1, pp. 132–140, Jan. 2011.
[50] A. Chantre, G. Vincent, and D. Bois, “Deep-level optical spectroscopy in GaAs,” *Phys. Rev. B*, vol. 23, no. 10, p. 5335, 1981.
[51] D. L. Losee, “Admittance spectroscopy of deep impurity levels: ZnTe Schottky barriers,” *Appl. Phys. Lett.*, vol. 21, no. 2, pp. 54–56, Oct. 2003.
[52] J. A. Reynoso-Hernandez, L. Escotte, R. Plana, and J. Graffeuil, “Deep level characterisation in GaAs FETs by means of the frequency dispersion of the output impedance,” *Electron. Lett.*, vol. 31, no. 8, pp. 677–678, 1995.
[53] W. Kruppa, S. C. Binari, and K. Doverspike, “Low-frequency dispersion characteristics of GaN HFETs,” *Electron. Lett.*, vol. 31, no. 22, pp. 1951–1952, 1995.
[54] A. Paccagnella, C. Tedesco, C. Canali, A. Cetronio, and C. Lanzieri, “Frequency dispersion of transconductance: a tool to characterise deep levels in III-V FETs,” *Electron. Lett.*, vol. 28, no. 22, pp. 2107–2109, Oct. 1992.
[55] A. El Rafei, G. Callet, G. Mouginot, J. Faraj, S. Laurent, M. Prigent, R. Quéré, O. Jardel, and S. Delage, “DC (10 Hz) to RF (40 GHz) output conduction extraction by S-parameters measurements for in-depth characterization of AlInN/GaN HEMTS, focusing on low frequency dispersion effects,” in *Microwave Integrated Circuits Conference (EuMIC), 2011 European*, 2011, pp. 5–8.

[56] O. Jardel, S. Laurent, T. Reveyrand, R. Quéré, P. Nakkala, A. Martin, S. Piotrowicz, M. Campovecchio, and S. L. Delage, “Modeling of Trap Induced Dispersion of Large Signal Dynamic Characteristics of GaN HEMTs,” in *IEEE International Microwave Symposium*, 2013.
[57] G. A. Umana-Membreno, J. M. Dell, B. D. Nener, L. Faraone, G. Parish, Y.-F. Wu, and U. K. Mishra, “Low-temperature shallow-trap related output-admittance frequency dispersion in AlGaN/GaN MODFETs,” in *Optoelectronic and Microelectronic Materials Devices, 1998. Proceedings. 1998 Conference on*, 1999, pp. 252–255.
[58] S. D. Nsele, L. Escotte, J.-G. Tartarin, S. Piotrowicz, and S. L. Delage, “Broadband Frequency Dispersion Small-Signal Modeling of the Output Conductance and Transconductance in AlInN/GaN HEMTs,” *IEEE Trans. Electron Devices*, vol. 60, no. 4, pp. 1372–1378, Apr. 2013.
[59] S. Choi and M. B. Das, “Origin and modeling of the frequency dependent output conductance in microwave GaAs MESFET’s with buried p layer,” *IEEE Trans. Electron Devices*, vol. 41, no. 10, pp. 1725–1733, Oct. 1994.
[60] C. Camacho-PeÃ±alosa and C. S. Aitchison, “Modelling frequency dependence of output impedance of a microwave MESFET at low frequencies,” *Electron. Lett.*, vol. 21, no. 12, pp. 528–529, Jun. 1985.
[61] J. M. Golio, M. G. Miller, G. N. Maracas, and D. A. Johnson, “Frequency-dependent electrical characteristics of GaAs MESFETs,” *IEEE Trans. Electron Devices*, vol. 37, no. 5, pp. 1217–1227, May 1990.
[62] Agilent, “Agilent E5061B Network , Configuration Guide.” .
[63] J.-G. Tartarin, G. Soubercaze-Pun, J.-L. Grondin, L. Bary, J. Mimila-Arroyo, and J. Chevallier, “Generation-Recombination Defects In AlGaN/GaN HEMT On SiC Substrate, Evidenced By Low Frequency Noise Measurements And SIMS Characterization,” in *AIP Conference Proceedings*, 2007, vol. 922, p. 163.
[64] O. Mitrofanov, “Poole-Frenkel electron emission from the traps in AlGaN/GaN transistors,” *J. Appl. Phys.*, vol. 95, no. 11, p. 6414, 2004.
[65] J. Horn, D. E. Root, and G. Simpson, “GaN Device Modeling with X-Parameters,” in *2010 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2010, pp. 1–4.
[66] S. Y. Lee, B. A. Cetiner, H. Torpi, S. J. Cai, J. Li, K. Alt, Y. L. Chen, C. P. Wen, K. L. Wang, and T. Itoh, “An X-band GaN HEMT power amplifier design using an artificial neural network modeling technique,” *IEEE Trans. Electron Devices*, vol. 48, no. 3, pp. 495–501, Mar. 2001.
[67] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, “A new method for determining the FET small-signal equivalent circuit,” *IEEE Trans. Microw. Theory Tech.*, vol. 36, no. 7, pp. 1151–1159, Jul. 1988.
[68] C. Azizi, J. Graffeuil, and P. Rossel, “Le transistor à effet de champ à grille Schottky au GaAs: analyse et modèle mathématique du fonctionnement avec la grille en polarisation directe,” *Rev. Phys. Appliquée*, vol. 16, no. 6, pp. 303–315, 1981.
[69] Z. Ouarch, “Caractérisation et modélisation des effets de pièges et thermiques des transistors à effet de champ sur AsGa: application à la simulation de la dynamique lente des circuits non linéaires micro-ondes,” Thèse de doctorat, Université de Limoges. Faculté des sciences et techniques, France, 1999.
[70] F. De Groote, *Mesures de formes d’ondes temporelles en impulsions : application à la caractérisation de transistors micro-ondes de forte puissance*. Limoges, 2007.
[71] J. Faraj and J.-P. Teyssier, *Développement et validation d’un banc de caractérisation de transistors de puissance en mode temporel impulsionnel*. Limoges, France: S.C.D. de l’Université, 2010.
[72] O. Jardel, F. De Groote, T. Reveyrand, J.-C. Jacquet, C. Charbonniaud, J.-P. Teyssier, D. Floriot, and R. Quere, “An Electrothermal Model for AlGaN/GaN Power HEMTs Including Trapping Effects to Improve Large-Signal Simulation Results on High VSWR,” *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 12, pp. 2660–2669, Dec. 2007.

[73] S. Forestier, T. Gasseling, P. Bouysse, R. Quere, and J. M. Nebus, “A new nonlinear capacitance model of millimeter wave power PHEMT for accurate AM/AM-AM/PM simulations,” *IEEE Microw. Wirel. Compon. Lett.*, vol. 14, no. 1, pp. 43–45, Jan. 2004.
[74] M. Rudolph, C. Fager, and D. E. Root, *Nonlinear Transistor Model Parameter Extraction Techniques*. Cambridge University Press, 2011.
[75] M. Wang and K. J. Chen, “Kink Effect in AlGaN/GaN HEMTs Induced by Drain and Gate Pumping,” *IEEE Electron Device Lett.*, vol. 32, no. 4, pp. 482–484, Apr. 2011.
[76] P. Nakkala, *Pulsed I-V and RF characterization and modeling of AIGaN HEMTs and Graphene FETs*. Limoges, 2015.
[77] G. Berghoff, E. Bergeault, B. Huyart, and L. Jallet, “Automated characterization of HF power transistors by source-pull and multiharmonic load-pull measurements based on six-port techniques,” *IEEE Trans. Microw. Theory Tech.*, vol. 46, no. 12, pp. 2068–2073, Dec. 1998.
[78] T. Gasseling and J.-M. Nébus, *Caractérisation non linéaire avancée de transistors de puissance pour la validation de leur modèle CAO*. Limoges, France: S.C.D. de l’université, 2003.
[79] K. S. Boutros, W. B. Luo, Y. Ma, G. Nagy, and J. Hacker, “5W GaN MMIC for millimeter-wave applications,” in *Compound Semiconductor Integrated Circuit Symposium, 2006. CSIC 2006. IEEE*, 2006, pp. 93–95.
[80] M. van Heijningen, F. E. van Vliet, R. Quay, F. van Raay, and M. Seelmann-Eggebert, “Design and Analysis of a 34 dBm Ka-Band GaN High Power Amplifier MMIC,” in *European Microwave Integrated Circuits Conference, 2006. The 1st*, 2006, pp. 75 –78.
[81] M. Micovic, A. Kurdoghlian, H. P. Moyer, P. Hashimoto, A. Schmitz, I. Milosavjevic, P. J. Willadesn, W.-S. Wong, J. Duvall, M. Hu, M. J. Delaney, and D. H. Chow, “Ka-band MMIC power amplifier in GaN HFET technology,” in *Microwave Symposium Digest, 2004 IEEE MTT-S International*, 2004, vol. 3, pp. 1653–1656 Vol.3.
[82] A. M. Darwish, K. Boutros, B. Luo, B. D. Huebschman, E. Viveiros, and H. A. Hung, “AlGaN/GaN - Band 5-W MMIC Amplifier,” *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4456 –4463, Dec. 2006.
[83] C. F. Campbell, M.-Y. Kao, and S. Nayak, “High efficiency Ka-band power amplifier MMICs fabricated with a 0.15µm GaN on SiC HEMT process,” in *Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International*, 2012, pp. 1 –3.
[84] C. F. Campbell, Y. Liu, M.-Y. Kao, and S. Nayak, “High efficiency Ka-band Gallium Nitride power amplifier MMICs,” in *2013 IEEE International Conference on Microwaves, Communications, Antennas and Electronics Systems (COMCAS)*, 2013, pp. 1–5.
[85] K. Kong, M.-Y. Kao, and S. Nayak, “Miniaturization of Ka-Band High Power Amplifier by 0.15 ??m GaN MMIC Technology,” in *2014 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICs)*, 2014, pp. 1–4.
[86] Northrop Grumman, “APN229.” May-2014.
[87] Northrop Grumman, “APN228.” May-2014.
[88] Northrop Grumman, “APN180.” Nov-2012.
[89] Northrop Grumman, “APN167.” Nov-2012.
[90] Northrop Grumman, “APN149.” Nov-2012.
[91] A. M. Darwish, J. X. Qiu, E. A. Viveiros, and H. A. Hung, “Improved linearity of power amplifier GaN MMIC for Ka-band SATCOM,” in *Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International*, 2012, pp. 1–3.
[92] Northrop Grumman, “APN236.” Apr-2015.
[93] S. Din, M. Wojtowicz, and M. Siddiqui, “High Power and High Efficiency Ka Band Power Amplifier.”
[94] C. Y. Ng, K. Takagi, T. Senju, K. Matsushita, H. Sakurai, K. Onodera, S. Nakanishi, K. Kuroda, and T. Soejima, “A 20-watt Ka-band GaN high power amplifier MMIC,” in *Microwave Conference (EuMC), 2014 44th European*, 2014, pp. 1348–1351.
[95] O. Jardel, G. Callet, D. Lancereau, J.-C. Jacquet, T. Reveyrand, N. Sarazin, R. Aubry, S. Leger, E. Chartier, M. Oualli, C. Dua, S. Piotrowicz, E. Morvan, M. A. di Poisson, and S. L. Delage, “First

demonstration of AlInN/GaN HEMTs amplifiers at K band," in *Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International*, 2012, pp. 1–3.
[96] G. Mouginot, "Potentialités des transistors HEMTs AlGaN-GaN pour l'amplification large bande de fréquence : Effets limitatifs et modélisation," Thèse de doctorat : électronique des hautes fréquences et optoélectronique, Université de Limoges, 2011.
[97] A. Platzker, W. Struble, and K. T. Hetzler, "Instabilities diagnosis and the role of K in microwave circuits," in *Microwave Symposium Digest, 1993., IEEE MTT-S International*, 1993, pp. 1185–1188 vol.3.
[98] S. Colangeli, R. Cleriti, D. Palombini, and E. Limiti, "On the unconditional stability of N-port networks," in *Microwave Conference (EuMC), 2014 44th European*, 2014, pp. 1520–1523.
[99] A. Anakabe, N. Ayllón, J. M. Collantes, A. Mallet, G. Soubercaze-Pun, and K. Narendra, "Automatic pole-zero identification for multivariable large-signal stability analysis of RF and microwave circuits," in *Microwave Conference (EuMC), 2010 European*, 2010, pp. 477–480.
[100] J. M. Collantes, N. Otegi, A. Anakabe, N. Ayllon, A. Mallet, and G. Soubercaze-Pun, "Monte-Carlo stability analysis of microwave amplifiers," in *Wireless and Microwave Technology Conference (WAMICON), 2011 IEEE 12th Annual*, 2011, pp. 1–6.

Annexes

A.1 Calculs théoriques pour un simple modèle de piège ajouté sur le drain

$\frac{d}{d\omega}(\mathrm{Real}[\mathrm{Y}_{22}]) = \frac{d}{d\omega}(g_d + \frac{g_n(\omega\tau_n)^2}{1+(\omega\tau_n)^2}) = \frac{d}{d\omega}(g_d) + \frac{d}{d\omega}(\frac{g_n(\omega\tau_n)^2}{1+(\omega\tau_n)^2}) = \frac{d}{d\omega}(\frac{g_n(\omega\tau_n)^2}{1+(\omega\tau_n)^2}) = \frac{Num1}{Den1}$

$$Num1 = g_n.2.\frac{C_n}{g_n}.\left(\omega\frac{C_n}{g_n}\right)\left[1+\left(\omega\frac{C_n}{g_n}\right)^2\right] - g_n.\left(\omega\frac{C_n}{g_n}\right)^2.2.\frac{C_n}{g_n}.\left(\omega\frac{C_n}{g_n}\right)$$

$$= 2.C_n.\left(\omega\frac{C_n}{g_n}\right) + 2.C_n.\left(\omega\frac{C_n}{g_n}\right)^3 - 2.C_n.\left(\omega\frac{C_n}{g_n}\right)^3$$

$$\frac{d}{d\omega}(\mathrm{Real}[\mathrm{Y}_{22}]) = \frac{2.C_n.\left(\omega\frac{C_n}{g_n}\right)}{\left(1+\left(\omega\frac{C_n}{g_n}\right)^2\right)^2} = \frac{2.\left(\omega\frac{C_n^2}{g_n}\right)}{1+2.\left(\omega\frac{C_n}{g_n}\right)^2+\left(\omega\frac{C_n}{g_n}\right)^4} = \frac{C}{D}$$

$$\frac{d^2}{d\omega^2}(\mathrm{Real}[\mathrm{Y}_{22}]) = \left(\frac{C}{D}\right)' = \frac{Num2}{Den2}$$

$$Num2 = 2.\frac{C_n^2}{g_n}.\left[1+2.\left(\omega\frac{C_n}{g_n}\right)^2+\left(\omega\frac{C_n}{g_n}\right)^4\right] - 2.C_n.\left(\omega\frac{C_n}{g_n}\right)[4.\frac{C_n}{g_n}.\left(\omega\frac{C_n}{g_n}\right)$$

$$+ 4.\frac{C_n}{g_n}.\left(\omega\frac{C_n}{g_n}\right)^3]$$

$$= 2.\frac{C_n^2}{g_n} + 4.\frac{C_n^2}{g_n}.\left(\omega\frac{C_n}{g_n}\right)^2 + 2.\frac{C_n^2}{g_n}.\left(\omega\frac{C_n}{g_n}\right)^4 - 8.\frac{C_n^2}{g_n}.\left(\omega\frac{C_n}{g_n}\right)^2 - 8.\frac{C_n^2}{g_n}.\left(\omega\frac{C_n}{g_n}\right)^4$$

$$= 2.\frac{C_n^2}{g_n} - 4.\frac{C_n^2}{g_n}.\left(\omega\frac{C_n}{g_n}\right)^2 - 6.\frac{C_n^2}{g_n}.\left(\omega\frac{C_n}{g_n}\right)^4$$

Soit $X = \left(\omega\frac{C_n}{g_n}\right)^2$

$$Num2 = 2.\frac{C_n^2}{g_n}(1-2X-3X^2)$$

$\Delta = 4 + 12 = 16 \Rightarrow \sqrt{\Delta} = 4 \Rightarrow X_1 = \frac{2+4}{-6} = -1$; $X_2 = \frac{2-4}{-6} = \frac{1}{3}$

$X = \left(\omega\frac{C_n}{g_n}\right)^2 = \frac{1}{3} \Leftrightarrow \omega\tau_n = \sqrt{\frac{1}{3}} \Leftrightarrow \omega = \frac{1}{\sqrt{3}\tau_n}$

Donc :

$f_{\mathrm{R}inf} = f_{\mathrm{Real}[\mathrm{Y}_{22}]\ at\ inflexion\ point} = \frac{1}{2\pi\sqrt{3}\,\tau_n}$ $\qquad$ $f_{\mathrm{I}peak} = f_{\mathrm{Imag}[\mathrm{Y}_{22}]\ at\ peak\ point} = \frac{1}{2\pi\tau_n}$

A.2 Calculs théoriques pour un double modèle de piège ajouté sur le drain

$$Y_{22} = g_d + \frac{1}{Z_{n1}} + \frac{1}{Z_{n2}} = \frac{1}{g_d} + \frac{j.\mathrm{C_{n1}}.\omega}{1 + j.\tau_{n1}.\omega} + \frac{j.\mathrm{C_{n2}}.\omega}{1 + j.\tau_{n2}.\omega}$$
$$= g_d + \frac{\mathrm{g_{n1}}.(\tau_{n1}.\omega)^2}{1 + (\tau_{n1}.\omega)^2} + \frac{j.\mathrm{g_{n1}}.(\tau_{n1}.\omega)}{1 + (\tau_{n1}.\omega)^2} + \frac{\mathrm{g_{n2}}.(\tau_{n2}.\omega)^2}{1 + (\tau_{n2}.\omega)^2} + \frac{j.\mathrm{g_{n2}}.(\tau_{n2}.\omega)}{1 + (\tau_{n2}.\omega)^2}$$
$$= \left(g_d + \frac{\mathrm{g_{n1}}.(\tau_{n1}.\omega)^2}{1 + (\tau_{n1}.\omega)^2} + \frac{\mathrm{g_{n2}}.(\tau_{n2}.\omega)^2}{1 + (\tau_{n2}.\omega)^2}\right) + j.\left(\frac{\mathrm{g_{n1}}.(\tau_{n1}.\omega)}{1 + (\tau_{n1}.\omega)^2} + \frac{\mathrm{g_{n2}}.(\tau_{n2}.\omega)}{1 + (\tau_{n2}.\omega)^2}\right)$$

avec $\tau_n = \frac{C_n}{g_n}$

$\frac{d}{d\omega}(\mathrm{Imag[Y_{22}]}) = \frac{d}{d\omega}\left(\frac{g_{n1}\left(\omega\frac{C_{n1}}{g_{n1}}\right)}{1+\left(\omega\frac{C_{n1}}{g_{n1}}\right)^2} + \frac{g_{n2}\left(\omega\frac{C_{n2}}{g_{n2}}\right)}{1+\left(\omega\frac{C_{n2}}{g_{n2}}\right)^2}\right) = \frac{d}{d\omega}\left(\frac{\omega.\tau_{n1}}{1+(\omega.\tau_{n1})^2}\right) + \frac{d}{d\omega}\left(\frac{\omega.\tau_{n2}}{1+(\omega.\tau_{n2})^2}\right) = \frac{Num1}{Den1} + \frac{Num2}{Den2}$

$$\frac{d}{d\omega}(\mathrm{Imag[Y_{22}]}) = \frac{C_{n1} - C_{n1}.(\omega.\tau_{n1})^2}{(1 + (\omega.\tau_{n1})^2)^2} + \frac{C_{n2} - C_{n2}.(\omega.\tau_{n2})^2}{(1 + (\omega.\tau_{n2})^2)^2}$$
$$= \frac{C_{n1} - C_{n1}.X_1}{(1 + X_1)^2} + \frac{C_{n2} - C_{n2}.X_2}{(1 + X_2)^2}$$
$$= \frac{(C_{n1} - C_{n1}.X_1)(1 + X_2)^2 + (C_{n2} - C_{n2}.X_2)(1 + X_1)^2}{(1 + X_1)^2(1 + X_2)^2}$$
$$= \frac{(C_{n1} - C_{n1}.X_1)(1 + 2X_2 + X_2^2) + (C_{n2} - C_{n2}.X_2)(1 + 2X_1 + X_1^2)}{(1 + X_1)^2(1 + X_2)^2}$$
$$= \frac{Num3}{Den3}$$

$$Num3 = 0 \Leftrightarrow (C_{n1} - C_{n1}.X_1)(1 + 2X_2 + X_2^2)$$
$$= -[\,(C_{n2} - C_{n2}.X_2)(1 + 2X_1 + X_1^2)] \Leftrightarrow C_{n1} + 2.C_{n1}.X_2 + C_{n1}.X_2^2$$
$$- C_{n1}.X_1 - 2.C_{n1}.X_1.X_2 - C_{n1}.X_1.X_2^2$$
$$= -[C_{n2} + 2.C_{n2}.X_1 + C_{n2}.X_1^2 - C_{n2}.X_2 - 2.C_{n2}.X_1.X_2 - C_{n2}.X_1^2.X_2]$$
$$\Leftrightarrow C_{n1} + 2.C_{n1}.X_2 + C_{n1}.X_2^2 - C_{n1}.X_1 - 2.C_{n1}.X_1.X_2 - C_{n1}.X_1.X_2^2$$
$$= -C_{n2} - 2.C_{n2}.X_1 - C_{n2}.X_1^2 + C_{n2}.X_2 + 2.C_{n2}.X_1.X_2 + C_{n2}.X_1^2.X_2$$
$$\Leftrightarrow C_{n1} + C_{n2} = X_1.(C_{n1} - 2.C_{n2}) + X_2.(C_{n2} - 2.C_{n1}) + X_1.X_2.(2.C_{n1} + 2.C_{n2})$$
$$- X_1^2.C_{n2} - X_2^2.C_{n1} + X_1^2.X_2.C_{n2} + X_1.X_2^2.C_{n1}$$
$$\Leftrightarrow C_{n1} + C_{n2} = \omega^2.\tau_{n1}^2.(C_{n1} - 2.C_{n2}) + \omega^2.\tau_{n2}^2.(C_{n2} - 2.C_{n1}) + \omega^4.\tau_{n1}^2.\tau_{n2}^2.(2.C_{n1}$$
$$+ 2.C_{n2}) - \omega^4.\tau_{n1}^4.C_{n2} - \omega^4.\tau_{n2}^4.C_{n1} + \omega^6.\tau_{n1}^4.\tau_{n2}^2.C_{n2} + \omega^6.\tau_{n1}^2.\tau_{n2}^4.C_{n1}$$
$$\Leftrightarrow C_{n1} + C_{n2} = \omega^6.(\tau_{n1}^4.\tau_{n2}^2.C_{n2} + \tau_{n1}^2.\tau_{n2}^4.C_{n1}) + \omega^4.(\tau_{n1}^2.\tau_{n2}^2.(2.C_{n1} + 2.C_{n2})$$
$$- \tau_{n1}^4.C_{n2} - \tau_{n2}^4.C_{n1}) + \omega^2.(\tau_{n1}^2.(C_{n1} - 2.C_{n2}) + \tau_{n2}^2.(C_{n2} - 2.C_{n1}))$$

$$\Leftrightarrow -\omega^6.(\tau_{n1}^4.\tau_{n2}^2.C_{n2} + \tau_{n1}^2.\tau_{n2}^4.C_{n1}) - \omega^4.(\tau_{n1}^2.\tau_{n2}^2.(2.C_{n1} + 2.C_{n2}) - \tau_{n1}^4.C_{n2} -$$
$$\tau_{n2}^4.C_{n1}) - \omega^2.(\tau_{n1}^2.(C_{n1} - 2.C_{n2}) + \tau_{n2}^2.(C_{n2} - 2.C_{n1})) + (C_{n1} + C_{n2}) = 0$$

A.3 Equations régissant le modèle dit GAMM

$$Vp1 = Vp0 - KPvar * Pvar \tag{A.1}$$

$$Vp = Vp1 + above(-V_{DS} * (1 - Vdneg), 10^{-4}, 0) + P * V_{DS} \tag{A.2}$$

$$Vgcom = under\left(\frac{1}{2} \cdot \left(V_{GS} + under\left(\frac{V_{GS}}{2}, S_{sat1pos}, V_{gsat1pos}\right)\right), S_{sat2pos}, V_{gsat2pos}\right) \tag{A.3}$$

$$\alpha_{Vp} = above(under(-V_{DS}, Ssatneg, Vsatneg), 10^{-4}, -gm_{smooth}) \tag{A.4}$$

$$V_{GSlin} = above\left(\frac{Vgcom + Vp}{above\left((Vp + Vp0 + Vgcom), 10^{-4}, \frac{-Vp}{Vp0}\right)}, \alpha_{Vp}, 0\right) \tag{A.5}$$

$$V_{GSn} = \left(V_{GSlin} \cdot \left(1 + \frac{Vp0}{Vp}\right)\right)^{N} \tag{A.6}$$

$$V_{DSn} = \frac{V_{DS}}{V_{DSp} \cdot \left(1 + W \cdot (V_{GSn} - 1)\right)} \tag{A.7}$$

$$I_{DSS1} = I_{DSS} \cdot \left(\frac{Vp1}{Vp0}\right) \tag{A.8}$$

$$I_{DSS} = I_{DSS1} \cdot dhyp(V_{DSn} + A \cdot {V_{DSn}}^{3}) \cdot V_{GSn} \tag{A.9}$$

Avec $$A = cval(Apos, \mathrm{Aneg}, V_{DS}, \mathrm{Rho}) \tag{A.10}$$

et $$W = cval(Wpos, \mathrm{Wneg}, (V_{GS} + Vp0), \mathrm{Rho}) \tag{A.11}$$

Plusieurs fonctions sont utilisées dans ces formulations. La fonction *dhyp* (eq. (A.12)) permet de reconstituer l'enveloppe du courant (elle est similaire à une tangente hyperbolique). La fonction *cval* (eq. (A.13)) permet de changer la valeur d'une variable quand la valeur du troisième paramètre *V* atteint 0, avec une "douceur" de transition paramétrable par α_{trval}. Enfin, les fonctions *above* (eq. (A.15)) et *under* (eq.(A.16)) permettent de faire saturer une fonction aux valeurs respectives -xn et xp. Elles sont donc équivalentes à :

- above(x, a, xn) = si (x < -xn), alors -xn, sinon x, avec une douceur paramétrée par a.
- under(x, a, xp) = si (x < xp), alors x, sinon xp, avec une douceur paramétrée par a.

$$dhyp(x) = \frac{x}{\sqrt{1 + x^2}} \tag{A.12}$$

$$cval(x_{pos}, x_{neg}, V, \alpha_{trval}) = \frac{x_{pos} - x_{neg}}{2} \cdot \tanh(\alpha_{trval} \cdot V) + \frac{x_{pos} - x_{neg}}{2} \quad \text{(A.13)}$$

$$hypfneg(x) = \begin{cases} \dfrac{1}{2 \cdot \left(\sqrt{1 + x^2} - x\right)} & si\ x > 1 \\ \dfrac{-1}{2 \cdot x \cdot \left(1 + \sqrt{1 + \frac{1}{x^2}}\right)} & sinon \end{cases} \quad \text{(A.14)}$$

$$above(x, a, x_n) = \begin{cases} x + a \cdot hypfneg\left(\dfrac{-(x + x_n)}{a}\right) & si\ (x > -x_n) \\ -x_n + a \cdot hypfneg\left(\dfrac{(x + x_n)}{a}\right) & sinon \end{cases} \quad \text{(A.15)}$$

$$under(x, a, x_p) = \begin{cases} x_p - a \cdot hypfneg\left(\dfrac{(x_p - x)}{a}\right) & si\ (x > x_p) \\ x - a \cdot hypfneg\left(\dfrac{(x - x_p)}{a}\right) & sinon \end{cases} \quad \text{(A.16)}$$

A.4 Description des paramètres de la source de courant du modèle GAMM

Le rôle des paramètres utilisés dans les équations permettant la réalisation de la source de courant non-linéaire GAMM est redonné ci-dessous :

- I_{DSS} : règle la valeur maximum du courant I_{DS} atteignable.
- P : influence la conductance de sortie (g_d) donc la courbure des branches du réseau I-V de sortie.
- Vp0 : fixe la tension de pincement du transistor
- Vdsp : règle la valeur de la tension de coude du réseau I-V de sortie
- Wpos : arrondit le coude du réseau I-V de sortie pour la partie positive des courbes
- Wneg : arrondit le coude du réseau I-V de sortie pour la partie négative des courbes
- Aneg : joue sur l'amplitude de la saturation du courant I_{DS} en haut de réseau (partie négative des courbes)
- Apos : joue sur l'amplitude de la saturation du courant I_{DS} en haut de réseau (partie positive des courbes)
- Vsat1pos : contribue à saturer la courbe $I_{DS}(V_{GS})$ une première fois
- Ssat1pos : règle la douceur avec laquelle est faite la saturation via Vsat1pos
- Vsat2pos : contribue à saturer la courbe $I_{DS}(V_{GS})$ une deuxième fois
- Ssat2pos : règle la douceur avec laquelle est faite la saturation via Vsat2pos
- Ssatneg : contrôle le niveau de saturation du courant $I_{DS}(V_{GS})$ pour la partie négative
- Vsatneg : gère la douceur de la transition imposée par l'effet de Ssatneg

- Vdneg : agit sur la forme de la partie négative du courant I_{DS} (remontée après saturation et espacements des courbes à différents V_{GS})
- gm_{smth} : « smooth »gm, définit la courbure que va prendre la courbe $I_{DS}(V_{GS})$ au niveau de la tension de pincement
- Rho : règle la « douceur » avec laquelle se fait la transition entre les deux paramètres renseignés dans la fonction *cval* (voir en Annexe).
- N : paramètre d'ajustage de la forme de réseau I-V. La forme des courbes $I_{DS}(V_{GS})$ est modifiée à la puissance N pour être plus ou moins arrondie.
- Rfuites : Résistance source-drain modélisant les fuites.

Les valeurs données pour les paramètres agissant sur les parties négatives des courbes ont été ajustées sans objectif puisqu'aucune mesure sous des tensions de drain V_{DS} négatives n'a été réalisée.

Table des illustrations

Figure I.1 : Comparaison non exhaustive des potentialités de différents alliages et technologies en fonction de la fréquence et de la puissance souhaitée. [1] 8
Figure I.2 : Répartitions des applications télécoms en fonction des puissances et fréquences. [1] 9
Figure I.3 : Orientation cristallographique d'une structure de Wurtzite idéale pour un alliage de GaN[2]. 10
Figure I.4 : Vitesse de dérive des porteurs en fonction du champ électrique dans le GaN et dans l'AsGa. [3] 12
Figure I.5 : Diagramme d'énergie pour une hétérostructure AlGaN/GaN. 15
Figure I.6 : Structure d'un HEMT AlGaN/GaN. 18
Figure I.7 : Orientation favorable des effets de polarisation dans un HEMT AlGaN. 19
Figure I.8 : Variation de la densité de porteurs dans le canal en fonction du taux d'aluminium xAl à gauche, et de l'épaisseur de la couche d'AlGaN (d_{AlGaN}) à droite, calculée pour un HEMT simple avec d_{AlGaN} = 25nm à gauche, xAl = 25% à droite, et V_{GS} = 0 V dans les deux cas [10]. 19
Figure I.9 : HEMT à double hétérojonction avec ajout d'une passivation et d'une couche cap layer, de passivation et d'un field-plate connecté à la source. 21
Figure I.10 : Polarisation spontanée en fonction du paramètre de maille α du GaN, de l'InN, de l'AlN et de ses composés. 22
Figure I.11 : Structure d'un HEMT InAlN/AlN/GaN. 23
Figure I.12 : Dépendance en température de la mobilité et de la concentration des électrons dans un matériau en GaN de haute qualité. [19] 25
Figure I.13 : Mécanismes d'échanges entre les défauts et les bandes énergétiques. 27
Figure I.14 : Réseaux I-V avant et après passivation pour une polarisation de repos à « froid » (V_{GS} = 0V ; V_{DS} = 0V) effectués sur un HEMT InAlN/GaN de deux doigts de 100µm de large. 29
Figure I.15 : Réseaux I-V avant et après passivation pour une polarisation de repos à « froid » (V_{GS} = -5V ; V_{DS} = 0V) effectués sur un HEMT InAlN/GaN de deux doigts de 100µm de large. 29
Figure I.16 : Réseaux I-V avant et après passivation pour une polarisation de repos à « froid » (V_{GS} = -5V ; V_{DS} = 25V) effectués sur un HEMT InAlN/GaN de deux doigts de 100µm de large. 30
Figure II.1 : Mise en évidence du phénomène de Gate-lag sur un transistor HEMT InAlN/GaN 6x50µm (Lg=0.15µm). 37
Figure II.2 : Mise en évidence du phénomène de Drain-lag sur un transistor HEMT InAlN/GaN 6x50µm (Lg=0.15µm). 38
Figure II.3 : Courbes d'$I_{DS}(V_{DS})$ pour un $V_{GS}>>V_p$ pour trois points de repos des impulsions de tensions d'alimentation V_{DS} et V_{GS}, pour la mise en évidence du gate-lag et du drain-lag. 39
Figure II.4 : Mécanismes de capture et d'émission de pièges sous l'effet d'impulsions électriques imposées. 40
Figure II.5 : Principe de la technique dite de Boxcar. 41
Figure II.6 : Réseaux I-V en mode pulsé et continu effectués sur un HEMT AlGaN/GaN [47]. 43
Figure II.7 : Exemple de détection via la méthode de transitoire de courant [49]. *a) Signal temporel d'un transitoire de courant créé artificiellement à partir de l'équation affichée superposée à la courbe obtenue via la formule mathématique donnée à l'équation 2.8. b)*

Spectre temporel extrait de la courbe ajustée avec différents nombres d'exponentielles utilisés (n=20, 50, 100, 500). 44
Figure II.8 : Modèle petit signal d'un HEMT avec un réseau RC rajouté pour la modélisation d'un piège. 48
Figure II.9 : Modèle petit signal d'un HEMT avec deux réseaux RC ajoutés pour la modélisation de deux pièges. 50
Figure II.10 : Simulations avec l'outil Scilab de la réponse en fréquence de la susceptance de sortie incluant 2 pièges, pour diverses valeurs de τ_2 (0, 1kHz, 10kHz, 200kHz, 1.3MHz). 52
Figure II.11 : Partie imaginaire du paramètre Y_{22} en fonction de la fréquence issue de simulations physiques pour différentes températures. Les fréquences aux maxima des courbes permettent de construire le graphique d'Arrhenius inséré dans la figure. 55
Figure II.12 : Synoptique du banc de mesure mis en place en configuration 1 port. 57
Figure II.13 : Susceptance de sortie pour des composants des plaques a) AEC1669, b) AEC1893 et c) AEC 1903. d) Graphique d'Arrhenius pour les constantes de temps extraites des mesures présentées aux figures a) b) et c). 60
Figure II.14 : a) Mesure de la partie imaginaire du paramètre Y_{22} ; b) Mesure de la partie réelle du paramètre Y_{22}. Les pointillés repèrent les fréquences associées aux constantes de temps d'un piège (dénommé Piège 1) détecté pour chaque température. 62
Figure II.15 : Graphique d'Arrhenius pour les deux pièges détectés sur le transistor TS502_2x50Lg0.25µm pour des températures de jonction comprises entre 110°C et 255°C. 63
Figure II.16 : Mesures de la partie imaginaire du paramètre Y_{22} en basse fréquence pour différentes tensions de drain appliquées, sur un transistor de développement 2x50µm et de longueur de grille Lg=0,25µm du wafer TS502. Les trois mesures sont réalisées à T_a=170°C et P_{diss}=0,2W. 64
Figure II.17 : Mesure « à froid » de la partie imaginaire du paramètre Y_{22} en fonction de la fréquence, pour une température de chuck T_a=170°C, une tension V_{DS} = 0V et un courant nul. 65
Figure II.18 : Mesures des parties réelle (a) et imaginaire (b) du paramètre Y_{22} en basse fréquence, sur un transistor de développement 2x50µm et de longueur de grille Lg=0.25µm du wafer TS502 à T_a = 100°C et à deux tensions V_{DS} différentes de 15V et 24V. 66
Figure II.19 : Mesures de la partie imaginaire du paramètre Y_{22} à I_{DS} = 100 mA/mm pour deux transistors de développements différents de la plaquette AEC1893 a) et de la plaquette CF1295 b). 67
Figure II.20 : Mesures de la partie imaginaire du paramètre Y_{22} sur le composant de développement 2x50µm et de longueur de grille Lg=0.25µm issu du wafer TS502. a) V_{DS} = 10V / I_{DS} variable. b) I_{DS} = 8.3mA /V_{DS} variable. c) I_{DS} = 21mA / V_{DS} variable. d) V_{DS} =24 V / I_{DS} variable. 68
Figure II.21 : a) Mesures de la partie imaginaire du paramètre Y_{22} du transistor de développement 2x50µm et de longueur de grille Lg=0.25µm issu du wafer TS502 à Ta=170°C ; Pdiss=0.2 W pour quatre tensions V_{DS} différentes. b) Energies d'activation apparentes relevées pour les pièges 1 et 2 en fonction des tensions V_{DS} appliquées. 70
Figure II.22 : Mesures de reprises I-V sur des composants de développement 2x50µm et de longueur de grille Lg=0.15µm issu du wafer AEC1893, vieillis par stress DC. a) Cas 1 : t = 4225h ; T_a = 225°C. b) Cas 2 : t = 400h ; T_a = 330°C. 72
Figure II.23 : Comparaisons de mesures de la partie imaginaire du paramètre Y_{22} sur des composants de développement 2x50µm et de longueur de grille Lg=0.15µm issu du wafer AEC1893, non stressés et stressés en DC. Les traits pointillés montrent le décalage en fréquence pour le lobe détecté à T_a = 85°C en fonction du niveau de stress. 73

Figure II.24 : Comparaison entre les mesures des courants de drain I_d et de grille I_g en fonction de la tension de grille V_g réalisées dans le noir ou sous une lumière fluorescente blanche. 75
Figure II.25 : Mesure de la partie imaginaire du paramètre Y_{22} pour le composant de développement 2x250µm et de longueur de grille Lg=0.7µm issu du wafer TS272. a) Comparaison de la mesure avec et sans exposition à la lumière halogène. b) Mesures à différentes températures. Les traits pointillés montrent le décalage vers les basses fréquences du maximum du lobe à chaque température. Le cadre ajouté correspond au graphique d'Arrhenius associé. 76
Figure II.26 : Mesure de la partie imaginaire du paramètre Y_{22} sur le composant de développement 2x250µm et de longueur de grille Lg=0.7µm issu du wafer TS272, à T_a = 35°C ; V_{DS} = 20 V ; I_{DS} = 100 mA/mm et pour différentes couleurs d'exposition lumineuse. . 77
Figure II.27 : Mesures à T_a = 125°C du composant de développement 2x75µm et de longueur de grille Lg=0,7µm issu du wafer CF1295 de a) Partie réelle du paramètre Y_{22} b) Partie imaginaire du paramètre Y_{22} c) Phase du paramètre Y_{22}. 79
Figure II.28 : Mesure de la partie imaginaire du paramètre Y_{22} sur le transistor de développement 2x50µm et de longueur de grille Lg=0.25µm issu du wafer TS502 réalisée à 5 mois d'écart, sous une polarisation de V_{DS} = 10 V / I_{DS} ≃ 100 mA/mm et à T_a = 170°C. 80
Figure III.1 : Mesures de gains maxima MSG/MAG effectuées à une polarisation V_{DS} =10V ; I_{DS} = 200mA/mm, pour quatre transistors HEMTs InAlN/GaN issus du wafer TS567 de développement 8x50µm, 6x50µm, 4x50µm, 2x50µm. 85
Figure III.2 : Mesures de gains maxima MSG/MAG effectuées à une polarisation V_{DS} =10V ; I_{DS} = 200mA/mm, pour quatre transistors HEMTs InAlN/GaN issus du wafer TS567 de développement 8x30µm, 8x40µm, 8x50µm, 8x60µm. 85
Figure III.3 : a) Schéma de principe indiquant l'origine de quelques paramètres du modèle petit signal standard d'un HEMT. b) Schéma de principe grand signal du modèle de HEMT utilisé dans cette thèse incluant les effets thermiques et de pièges [10]. 88
Figure III.4 : Différentes phases de modélisation nécessaires afin d'obtenir des modèles électrothermiques grands signaux. Les différents paramètres extraits puis corrigés sont montrés pour chaque étape. [10]..... 89
Figure III.5 : Algorithme d'extraction de la matrice des paramètres intrinsèques du schéma équivalent petit signal d'un transistor. 90
Figure III.6 : Plan de deembedding pour le composant TS567_6x50D2S1G15. 91
Figure III.7 : Schéma électrique modélisant le changement de plan de référence entre le pad de grille et le transistor en simulation sous le logiciel ADS. 92
Figure III.8 : Synoptique du banc de mesure de paramètres [S] pulsés disponible au laboratoire commun, pour des mesures sous-pointes en température avec chuck thermique. 94
Figure III.9 : Comparaisons entre des résultats de paramètres [S] obtenus par la simulation du modèle petit-signal et par des mesures pulsées (V_{GS0}=0V, V_{DS0}=0V) pour le transistor TS567_6x50D2S1G15 au point de polarisation V_{GS} = -3,5V ; V_{DS} = 19V ; I_{DS} = 100mA/mm. 96
Figure III.10 : Layout d'une ligne coplanaire issue du masque Ganak. 97
Figure III.11 : Modélisation de la ligne coplanaire du masque Ganak utilisant des éléments MACLIN3. 98
Figure III.12 : Comparaisons entre les résultats de mesures de paramètres [S] effectuées sur une ligne du wafer TS567 et les résultats de simulations reposant sur un modèle électromagnétique de l'outil MOMENTUM et sur un modèle à base d'éléments MACLIN3. Le schéma représentant la ligne indique les positions des pointes à renseigner pour chacune des deux modélisations afin de retrouver ces résultats. 99

Figure III.13 : Comparaisons des rapports de phase observés entre deux simulations électromagnétiques d'une ligne coplanaire du wafer TS567 considérant deux positionnements des pointes RF différents. 100
Figure III.14 : Comparaisons mesures/modèle de la caractéristique I-V d'entrée du transistor TS567_6x50D2S1G15. 102
Figure III.15 : Comparaisons mesures/modèle de la caractéristique I-V de sortie du transistor TS567_6x50D2S1G15. Les cercles représentent les points du cycle de charge pour lesquels des mesures de paramètres [S] ont été réalisées. 102
Figure III.16 : Courbes typiques de $C_{GD}(V_{GD})$ (figure a) et de $C_{GS}(V_{GS})$ (figure b) associées aux paramètres permettant leur modélisation. 105
Figure III.17 : Comparaisons entre mesures et modèles des capacités non-linéaires C_{GD} (à gauche) et C_{GS} (à droite). 106
Figure III.18 : Circuit électrique modélisant la température du composant. 107
Figure III.19 : Evolution simulée grâce au modèle par éléments finis du transistor 6x50µm TS567 de la température du composant pour une température ambiante de 30˚C et une puissance dissipée de 7 W/mm en fonction du temps. 107
Figure III.20 : Synoptique d'un sous-circuit non-linéaire modélisant les effets de drain-lag dus à un piège 108
Figure III.21 : Superposition de la mesure de la partie imaginaire du paramètre Y_{22} a) ainsi que de la partie réelle du paramètre Y_{22} b) avec la simulation issue du modèle comprenant le réseau de circuits RC décrit figure III.21, pour le composant TS567_6x50D2S1G15. 110
Figure III.22 : Réseau de circuits RC modélisant diverses constantes de temps associées à des phénomènes de piégeage. 111
Figure III.23 : Evaluation des effets de lag induits par des phénomènes de piégeage, obtenue par des mesures I-V en impulsions avec trois points de polarisation de repos différents, pour une largeur de pulse de 850ns et une période de 10µs, sur le transistor TS567_6x50D2S1G15. Les mesures sont effectuées pour une tension V_{GS} comprise entre -4,5V et 2V par pas de 0,5V. 112
Figure III.24 : Comparaison des réseaux I-V de sortie du transistor TS567_6x50D2S1G15 obtenus via les simulations du modèle GAMM et les mesures en impulsion, pour une polarisation de repos (V_{GS} = -5V ; V_{DS} = 0V), illustrant les effets de gate-lag. Le cercle rouge met en avant le phénomène d'effet kink. 113
Figure III.25 : Comparaison des réseaux I-V de sortie du transistor TS567_6x50D2S1G15 obtenus via les simulations du modèle GAMM et les mesures en impulsion, pour une polarisation de repos (V_{GS} = -5V ; V_{DS} = 20V), illustrant les effets de drain-lag. 114
Figure III.26 : Comparaisons mesures / simulation à 18GHz, V_{DS} = 20V, I_{DS} = 33mA/mm, de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du rendement en puissance ajoutée PAE pour une impédance Zout donnant le maximum de PAE. 117
Figure III.27 : Comparaisons mesures / simulation à 18GHz, V_{DS} = 20V, I_{DS} = 33mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout donnant le maximum de PAE. 117
Figure III.28 : Comparaisons mesures / simulation à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm, de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du rendement en puissance ajoutée PAE pour une impédance Zout donnant le maximum de PAE. 118
Figure III.29 : Comparaisons mesures / simulation à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout donnant le maximum de PAE. 118
Figure III.30 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm, de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du

rendement en puissance ajoutée PAE pour une impédance Zout donnant le maximum de PAE. 120
Figure III.31 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout donnant le maximum de PAE. ... 120
Figure III.32 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du rendement en puissance ajoutée PAE pour une impédance Zout = 15,5+51j. 121
Figure III.33 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout = = 15,5+51j. 121
Figure III.34 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm de l'impédance d'entrée Zin, de la puissance de sortie Pout en Watt et du rendement en puissance ajoutée PAE pour une impédance Zout = 32,5+40,3j. 122
Figure III.35 : Comparaisons mesures / simulation (modèle final) à 18GHz, V_{DS} = 20V, I_{DS} = 100mA/mm en fonction de la puissance d'entrée Pin de la puissance de sortie Pout en dBm, du courant I_{DS} et du gain en dB pour une impédance Zout = 32,5+40,3j. 122
Figure III.36 : Abaque de Smith présentant les impédances simulées avec les contours approchant les maxima de PAE et de puissance de sortie Pout ainsi que le lieu de l'impédance correspondant au complexe conjugué du S_{22} mesurée à 30GHz. 124
Figure III.37 : Superposition des résultats de simulation et de mesure pour les courbes de PAE, Pout et Gain effectuées sur le transistor TS567_6x50 à 30GHz, pour une polarisation de repos égale à V_{DS} = 17,5V ; I_{DS} = 100mA/mm et pour une impédance de charge fixée à Z_{Load} = 13,2+j.15,7Ω. Les mesures sont identifiées par des triangles et les simulations par des points. 124
Figure IV.1 : Gain Maximum disponible obtenu en simulation pour le transistor InAlN/GaN issu de la plaque TS567 de développement 6x50µm et de longueur de grille Lg=0,15µm pour une polarisation V_{DS}=19V ;I_{DS}=100mA/mm. La ligne en pointillée identifie la valeur du gain maximum à 30GHz. 133
Figure IV.2 : Schéma de principe d'une architecture arborescente d'amplificateur à trois étages [96]. 133
Figure IV.3 : Exemples schématiques de topologies de combineur de sortie possible [96]. . 136
Figure IV.4 : Schéma de la simulation AC créée pour optimiser les impédances présentées par le combineur de sortie sur les objectifs fixés. 138
Figure IV.5 : Architecture du combineur de sortie réalisé pour notre amplificateur de puissance en bande Ka. 138
Figure IV.6 : Représentation, en fonction de la bande de fréquence utile, des coefficients de réflexion en entrée et en sortie ainsi que des pertes associées obtenues par simulation de l'architecture du combineur de sortie retenue. L'abaque de Smith indique les impédances obtenues en entrée et en sortie de ce combineur pour la même bande de fréquence. 139
Figure IV.7 : Layout complet de notre amplificateur de puissance. Taille totale = 3x6,4mm². 141
Figure IV.8 : Représentation, en fonction de la bande de fréquence utile, des coefficients de réflexion en entrée et en sortie ainsi que des pertes associées obtenues par simulation du modèle EM de l'architecture du combineur de sortie. L'abaque de Smith indique les impédances obtenues en entrée et en sortie de ce modèle EM de combineur pour la même bande de fréquence. 142
Figure IV.9 : Représentation, en fonction de la bande de fréquence utile, des coefficients de réflexion en entrée et en sortie ainsi que des pertes associées obtenues par réoptimisation du modèle EM de l'architecture du combineur de sortie. L'abaque de Smith indique les

impédances obtenues en entrée et en sortie de ce modèle EM de combineur réoptimisé, pour la même bande de fréquence. 144
Figure IV.10 : Résultats de simulations de paramètres [S]de notre amplificateur pour le point de polarisation de repos V_{DS} = 20V ; I_{DS} = 100mA/mm pour chaque transistor. 145
Figure IV.11 : Résultats de simulations de paramètres [S]de notre amplificateur pour le point de polarisation de repos V_{DS} = 20V ; I_{DS} = 100mA/mm pour chaque transistor, centrés sur la bande utile comprise entre 27GHz et 34GHz. 146
Figure IV.12 : Facteurs de stabilité k et μ_{fact} en fonction de la fréquence obtenus via la simuation en paramètre [S]de l'amplificateur. 147
Figure IV.13 : Pertes dues aux différents circuits d'adaptations d'impédances de l'amplificateur obtenues en simulations, en fonction de la fréquence, pour des puissances d'entrée disponibles de 0dBm, 6dBm, 12dBm, 16dBm, 21dBm, 23dBm et 25dBm. 148
Figure IV.14 : Gains des différents étages de l'amplificateur obtenus en simulations, en fonction de la fréquence, pour des puissances d'entrée disponibles de 0dBm, 6dBm, 12dBm, 16dBm, 21dBm, 23dBm et 25dBm. 149
Figure IV.15 : Résultats de simulations présentant la puissance de sortie en W et dBm, la PAE et l'adaptation d'entrée, en fonction de la fréquence, pour des puissances d'entrée disponibles de 0dBm, 6dBm, 12dBm, 16dBm, 21dBm, 23dBm et 25dBm. 150
Figure IV.16 : Résultats de simulations présentant le gain en dB, la PAE et la puissance de sortie en W, en fonction de la puissance disponible en entrée, pour des fréquences de 27GHz à 35GHz par pas de 1GHz. 150
Figure IV.17 : Résultats de simulations de l'amplificateur équilibré présentant la puissance de sortie en W, le gain en dB et la PAE, en fonction de la fréquence, pour des puissances d'entrée disponibles de 3dBm, 9dBm, 15dBm, 19dBm, 24dBm, 26dBm et 28dBm. 152
Figure IV.18 : Principe utilisé par le logiciel STAN et l'environnement associé sous le logiciel ADS pour une simulation fort-signal avec balayage de la puissance d'entrée disponible. 153
Figure IV.19 : Modélisation des résultats de la fonction du signal de perturbation H0 par une fonction mathématique d'ordre 6. Affichage des pôles et zéros résultant dans un plan complexe. La puissance d'entrée dans la simulation a été réglée à 0dBm. 154
Figure IV.20 : Résultats de simulation de l'amplitude et de la phase du signal H0 représentant l'action de la perturbation parasite sur le troisième étage de l'amplificateur en fonction de la fréquence pour des puissances de signal d'entrée allant de 5dBm à 25dBm. 155

Table des tableaux

Tableau I.1 : Principales propriétés électriques comparées pour plusieurs matériaux semi-conducteurs 13
Tableau I.2 : Figures de mérite pour des alliages semi-conducteurs utilisés pour des applications haute-fréquence, normalisées par rapport au Silicium 14
Tableau I.3 : Principales caractéristiques de quatre substrats 17
Tableau I.4 : Comparaison des polarisations présentes dans les structures AlGaN/GaN et InAlN/GaN 23
Tableau I.5 : Paramètres de dépendance thermique influençant la hauteur de barrière 24
Tableau I.6 : Etat de l'art des HEMTs à base de GaN pour des fréquences situées autour de la bande Ka 31
Tableau II.1 : Résumé des trois méthodes d'utilisation de la DLOS 46
Tableau II.2 : Principales caractéristiques des transistors mesurés 59
Tableau II.3 : Principales différences technologiques des transistors mesurés 59
Tableau III.1 : Paramètres extrinsèques et intrinsèques pour un modèle petit-signal à une polarisation de V_{GS} *= -3,5V ;* V_{DS} *= 19V ;*I_{DS}*=100mA/mm.* 95
Tableau III.2 : Paramètres des couches utilisées dans la conception des éléments passifs du wafer TS567 98
Tableau III.3 : Paramètres de la source de courant du modèle GAMM du transistor TS567_6x50D2S1G15 103
Tableau III.4 : Paramètres associés à la modélisation des capacités non-linéaires C_{GD} *&* C_{GS} 105
Tableau III.5 : Valeurs des paramètres associés aux éléments du réseau RC reproduisant les effets de pièges mesurés en basses-fréquences sur le composant TS567_6x50D2S1G15 111
Tableau III.6 : Paramètres de la source de courant du modèle GAMM du transistor TS567_6x50D2S1G15 après une optimisation du modèle pour un fonctionnement en large signal 119
Tableau IV.1 : Etat de l'art des amplificateurs à base de GaN pour des fréquences situées autour de la bande Ka (P : Pulsed ; CW : Continuous Wave) 130
Tableau IV.2 : Estimation des pertes et des gains engendrées par l'architecture choisie 134
Tableau IV.3 : Valeurs d'impédance de charge optimale pour le transistor TS567_6x50Lg0,15 137
Tableau IV.4 : Evaluations des coefficients de réflexions et des pertes associés à chaque circuit d'adaptation de notre amplificateur, obtenus par simulation électrique, sur la plage de fréquence 27,5GHz-33GHz. 140

[Caractérisation et modélisation des pièges par des mesures de dispersion basse-fréquence dans les technologies HEMT InAlN/GaN pour l'amplification de puissance en gamme millimétrique]

Résumé :

Les transistors à haute mobilité d'électrons (HEMTs) en Nitrure de Gallium (GaN) s'affirment aujourd'hui comme une technologie essentielle à l'amplification de puissance à haute fréquence. Les HEMTs GaN étudiées et développées reposent essentiellement sur une hétérostructure AlGaN/GaN mais une alternative à base d'une barrière composée en InAlN, réduisant les contraintes sur les mailles cristallographiques de l'ensemble, est étudiée par certains laboratoires. Ce manuscrit de thèse rapporte une étude des potentialités de la filière HEMT InAlN/GaN développée au III-V Lab, en s'intéressant tout particulièrement aux effets de pièges induits par des défauts présents au sein de la structure. Une méthode de détection de ces défauts est proposée, basée sur la mesure de paramètres [S] en basse fréquence. Un modèle de HEMT InAlN/GaN électrothermique comprenant la contribution des effets de pièges est rapporté et sert de base à la conception d'un amplificateur de puissance en technologie MMIC, fonctionnant en bande Ka, présenté au dernier chapitre.

Mots clés : AlGaN, InAlN, GaN, HEMT, Bande Ka, effets de pièges, modélisation, caractérisation, dispersion basse fréquence, conception MMIC.

[Traps' characterization and modeling by the study of the output conductance dispersion at low frequencies, in InAlN/GaN HEMT technologies for the amplification in millimetric range]

Abstract:

Nowadays, High Electron Mobility Transistors (HEMTs) in Gallium Nitride (GaN) take the lead in power amplification at microwave frequencies. Most of the studies and developments on those HEMTs concern AlGaN/GaN structures but alternative transistors with an InAlN barrier, which reduces the strain in the crystal lattice of the whole structure, are investigated by few laboratories. This thesis presents some advanced studies on the new InAlN/GaN HEMT developed by the III-V Lab, focusing on the trapping phenomena induced by defects inside the crystal structure. A new method for the characterization of these defects, based on low-frequency S-Parameters measurements, is proposed. Furthermore, a non-linear electro thermal model including trapping effects for an InAlN/GaN HEMT is detailed and used to design a MMIC power amplifier for Ka-band applications.

Keywords: AlGaN, InAlN, GaN, HEMT, Ka-band, trapping effects, modeling, characterization, low-frequency dispersion, MMIC design.